

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 1 1 月 1 8 日

出 願 番 号  
Application Number: 特 願 2 0 0 4 - 3 3 4 1 9 0

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

J P 2 0 0 4 - 3 3 4 1 9 0

出 願 人  
Applicant(s): 株式会社半導体エネルギー研究所

2 0 0 5 年 1 2 月 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

中 嶋



【書類名】	付訂願
【整理番号】	P008323
【提出日】	平成16年11月18日
【あて先】	特許庁長官 殿
【国際特許分類】	H01L 21/00
【発明者】	
【住所又は居所】	神奈川県厚木市長谷3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】	田中 幸一郎
【発明者】	
【住所又は居所】	神奈川県厚木市長谷3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】	山本 良明
【特許出願人】	
【識別番号】	000153878
【氏名又は名称】	株式会社半導体エネルギー研究所
【代表者】	山崎 舜平
【手数料の表示】	
【予納台帳番号】	002543
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1

【請求項 1】

半導体基板に選択的に不純物を導入して不純物領域を形成する工程と、  
基本波であるレーザビームを前記不純物領域の表面にて長いビームに加工し、前記長いビームに対して前記不純物領域の表面を相対的に移動しながら照射して前記不純物を活性化  
する工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項 2】

S O I 基板の半導体層上にゲート絶縁膜を形成する工程と、  
ゲート絶縁膜上にゲート電極を形成する工程と、  
S O I 基板の半導体層に選択的に不純物を導入して不純物領域を形成する工程と、  
基本波であるレーザビームを前記不純物領域の表面にて長いビームに加工し、前記長いビームに対して前記不純物領域の表面を相対的に移動しながら照射して前記不純物を活性化  
する工程と、を含むことを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 または請求項 2 において、前記不純物領域は、電界効果トランジスタのソース  
領域またはドレイン領域であることを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 または請求項 2 において、前記不純物領域は、電界効果トランジスタのエクステ  
ンション領域であることを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、前記基本波であるレーザビームは、パルス幅が 1  
フェムト秒～10ピコ秒で発振することを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至 5 のいずれか一において、前記基本波であるレーザビームは、S a p p h i  
r e、Y A G、セラミックス Y A G、セラミックス  $Y_2O_3$ 、K G W、K Y W、 $Mg_2Si$   
 $O_4$ 、Y L F、Y V O<sub>4</sub>、または G d V O<sub>4</sub> の結晶に、N d、Y b、C r、T i、H o、E  
r のドーパントをいずれか 1 つまたは複数添加したレーザから選ばれる 1 種のレーザ発振  
器から射出されるレーザビームであることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、前記レーザビームは、周波数 10 M H z 以上の  
パルス発振のレーザ光であることを特徴とする半導体装置の作製方法。

【請求項 8】

電界効果トランジスタを含む集積回路を有する半導体装置であり、  
半導体層上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜上に設けられたゲート電極と、  
前記ゲート絶縁膜を介して前記ゲート電極の下方に位置する半導体層に形成されるチャ  
ネル形成領域と、  
前記チャネル形成領域の両側に n 型または p 型の不純物元素が導入されたエクステンシ  
ョン領域と、  
前記エクステンション領域に接するソース領域またはドレイン領域とを有し、  
前記エクステンション領域は、前記ソース領域またはドレイン領域よりも接合深さが浅  
く形成され、  
前記チャネル形成領域の長さが 5 n m ～ 80 n m であることを特徴とする半導体装置。

【請求項 9】

請求項 8 において、前記チャネル形成領域の長さと前記ゲート電極の幅は同一であるこ  
とを特徴とする半導体装置。

【請求項 10】

請求項 8 または請求項 9 において、前記集積回路は、コントローラ、C P U、またはメ  
モリのうち少なくとも一つを含むことを特徴とする半導体装置。

【発明の名称】半導体装置およびその作製方法

【技術分野】

【0001】

本発明は、レーザ光を被処理物に照射するためのレーザ照射装置を用いた半導体装置の作製方法に関する。具体的には、本発明は電界効果トランジスタ（以下、FETという）で構成された回路を有する半導体装置に関する。例えば、大規模集積回路（LSI）や、液晶表示パネルに代表される電気光学装置や、有機発光素子を有する発光表示装置や、ラインセンサなどのセンサ装置や、SRAM、DRAMなどのメモリ装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、LSIの微細化および高集積化はますます進みつつあり、例えば、半導体基板に形成されたMOSトランジスタのゲート長はサブミクロンレベルにまで縮小されつつある。MOSトランジスタを単純に微細化すると、実効的なチャネル長が短くなり、ソースドレイン間で短チャネル効果が生じ、MOSトランジスタのしきい値電圧が低下してしまう。加えて、短チャネル効果によりバンチスルーの多発や、リーク電流の増大等が顕著になってしまう。

【0004】

短チャネル効果を防ぐためにLDD構造を採用したり、トランジスタに形成される拡散層の接合深さを浅くする構造を採用したりしている。拡散層の接合深さを浅くする構造は、極浅接合と呼ばれているものである。なお、極浅接合は、エクステンションとも呼ばれる。

【0005】

所望の領域や深さに不純物をドーピングする技術とともに、ドーピングされた不純物を活性化させるためのアニール技術が検討されている。

【0006】

このような従来のアニール技術の一つとして、不純物が添加された半導体基板全体を1000℃程度に赤外線ランプ等を用いて加熱するRTAによるアニール法が知られ、多用されている。しかしながら、RTAによるアニール法は、微細化に限界がある。RTAによるアニール法は、加熱時間が数秒と長く、半導体基板全体が高温に加熱されるために不純物が半導体基板の深部へ拡散する恐れがあるため、今後のさらなる微細化に対応することが困難である。

【0007】

そこで、今後のさらなる微細化に対応する技術としてレーザーアニール法が注目されている。レーザーを用いた従来技術としては、308nmのXeClエキシマレーザを照射してシリコン基板の表面を溶融した後、シリコン原子を再結晶化する技術がアニール法として知られている。

【0008】

レーザーアニール法の特徴は、輻射加熱あるいは伝導加熱を利用するアニール法と比較して処理時間を大幅に短縮できることや、半導体基板を選択的に加熱して、基板に殆ど熱的損傷を与えないことなどがあげられている。

【0009】

レーザーアニール法に用いられるレーザ発振器はその発振方法により、パルス発振と連続発振の2種類に大別される。レーザーアニール法には、しばしばパルス発振のエキシマレーザから発振されたレーザ光が用いられる。エキシマレーザは出力が大きく、高周波数での繰り返し照射が可能であるという利点を有している。

【 0 0 1 0 】

また、エキシマレーザから発振されるレーザ光は半導体としてよく用いられるシリコンに対する吸収係数が高いという利点を有する。

【 0 0 1 1 】

例えば、レーザ光の照射の際には、照射面におけるレーザ光の形状が線状となるように光学系（ビームホモジナイザーなど）にて整形し、レーザ光の照射位置を照射面に対し相対的に移動させて照射する。この方法は、一度に広い面積の半導体をアニールすることができ、高い生産性を持つため工業的に優れている。（以下、照射面において、線状の形状を有するレーザ光を線状ビームと称する。）

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 2 】

レーザアニール法によるシリコンの再結晶化の主たる目的は、不純物イオンの打ち込みにより損傷を受けた不純物領域をできるだけ単結晶に近づけ、不純物領域を電氣的に活性化することである。

【 0 0 1 3 】

パルス発振のエキシマレーザから発振されたレーザ光を用いた従来のレーザアニール法においても解決すべきいくつかの課題を抱えており、例えばレーザアニールによって発生する熔融再結晶化時における結晶欠陥の発生といった課題を抱えている。

【 0 0 1 4 】

そこで、これらの課題を解決するための方法の一つとして、ArレーザやYVO<sub>4</sub>レーザのような連続発振のレーザ発振器（以下、CWレーザと称す。）、あるいは繰り返し周波数が10MHz以上と非常に高いパルス発振のレーザ発振器（以下、擬似CWレーザと称す）を用いる方法が挙げられる。

【 0 0 1 5 】

しかし、レーザ媒質が固体であるCWレーザまたは擬似CWレーザを適用する場合、その基本波の波長域は赤から近赤外域であり、半導体での吸収効率は極めて低い。ちなみに、半導体への吸収効率が良いレーザ光は、可視あるいは紫外域の波長を持ったレーザ光である。

【 0 0 1 6 】

従って、CWレーザまたは擬似CWレーザをレーザアニール法に使用する場合は、非線形光学素子を用いて波長を可視域以下の高調波に変換して用いる。例えば、大出力を得やすい近赤外の基本波を第二高調波であるグリーンのレーザ光に変換する方法において、最も変換効率が高くなると考えられている。

【 0 0 1 7 】

高調波はレーザ媒質から発振した基本波を非線形光学素子に入射させることで得られる。しかし、レーザの出力が大きくなると、多光子吸収などの非線形光学効果により、非線形光学素子にダメージが与えられ、ブレイクダウンにつながるなどの問題がある。よって、現在、生産されている可視域のCWレーザは、非線形光学素子の問題から、最大でも15-W程度である。

【 0 0 1 8 】

また、CWレーザまたは擬似CWレーザを用いてレーザアニールを行った場合、エキシマレーザを用いた場合に比べ生産性が悪く、更なる生産性の向上が必要である。例えば、10Wの532nmのCWレーザを長手方向が300μm、短手方向が10μm程度の線状に整形してレーザアニールを行う場合、一度の走査でアニールできる領域の幅は200μm程度となる。このため、量産プロセスで用いられる直径が100mm～300mmの半導体ウェーハ全面に照射するためには、ビームスポットの走査を無数に繰り返す必要がある。

【課題を解決するための手段】

【 0 0 1 9 】



、且つ、繰り返し周波数の高いパルスのレーザ光を半導体ウェーハに照射してレーザアニールを行うことを特徴とする。

#### 【0020】

なお、高強度とは、単位時間あたり単位面積あたりに高い尖頭出力を持つことを指しており、本発明におけるレーザ光の尖頭出力の範囲は、 $1\text{ GW/cm}^2 \sim 1\text{ TW/cm}^2$ とする。

#### 【0021】

波長が $1\text{ }\mu\text{m}$ 程度の基本波は、半導体ウェーハに照射してもあまり吸収されず、吸収効率が低い。本発明者らは、パルス幅をピコ秒台、或いはフェムト秒( $10^{-15}$ 秒)台のパルスレーザから射出される基本波であれば、高強度のレーザ光が得られ、照射領域に非線形光学効果(多光子吸収)が生じ、半導体ウェーハに吸収させることができることを見いだした。

#### 【0022】

通常、半導体のエネルギーギャップに比べ、1光子あたりのエネルギーが小さい場合には、光子は半導体に吸収されない。そのため、従来では前述したように非線形光学素子を用いて基本波を高調波に変換することで、1光子あたりのエネルギーを増大させて用いている。波長 $\lambda$ の $n$ 次の高調波を用いた場合、1光子あたりのエネルギー $E$ はプランク定数、光速 $c$ を用いて次式で表すことができる。

#### 【0023】

【数1】

$$E = \frac{hc}{\lambda/n}$$

#### 【0024】

高強度のレーザ光を用いると、レーザ光が照射された材料中で高電磁場が生じ、非線形光学効果(多光子吸収)が起こる。多光子吸収により、1光子あたりのエネルギーが半導体膜のエネルギーバンドギャップに比べて小さい場合にも、光子を同時に多段的に吸収することができ、光を通過することなく吸収することができる。

#### 【0025】

本発明は、非線形光学素子を用いず、且つ、高調波に変換しないため、 $15\text{ W}$ よりも大きな出力、例えば $40\text{ W}$ の出力を有するレーザ発振器をレーザアニール法に用いることが可能となる。従って、一度の走査で活性化される不純物領域の幅を拡大することができるため、格段に生産性を向上させることができる。

#### 【0026】

本明細書で開示する本明細書で開示する発明の構成は、半導体基板に選択的に不純物を導入して不純物領域を形成する工程と、基本波であるレーザビームを前記不純物領域の表面にて長いビームに加工し、前記長いビームに対して前記不純物領域の表面を相対的に移動しながら照射して前記不純物を活性化する工程と、を含むことを特徴とする半導体装置の作製方法である。

#### 【0027】

また、上記各構成において、前記半導体基板は、単結晶シリコン基板または化合物半導体基板であり、代表的には、N型またはP型の単結晶シリコン基板、GaAs基板、InP基板、GaN基板、SiC基板、サファイヤ基板、又はZnSe基板である。また、半導体基板を用いて集積回路を形成した半導体素子としては、代表的には、電源回路、送受信回路、メモリ、又は音声処理回路のアンプを含む。

#### 【0028】

また、SOI基板を用いてもよく、他の発明の構成は、SOI基板の半導体層上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、SOI基板の半導体層に選択的に不純物を導入して不純物領域を形成する工程と、基本波であるレー

レーザビームを前記不純物領域の表面にて長い時間に加し、前記長い時間に対して前記不純物領域の表面を相対的に移動しながら照射して前記不純物を活性化する工程と、を含むことを特徴とする半導体装置の作製方法である。

#### 【0029】

上記各構成において、前記不純物領域は、電界効果トランジスタのソース領域またはドレイン領域であることを特徴としている。ソース領域またはドレイン領域にはn型の導電型を半導体に付与する不純物（As、P等）、或いは、p型の導電型を半導体に付与する不純物（B）を高濃度に含ませて低抵抗化を図っている。本発明により、選択的にレーザー光を照射することによって、所望の箇所のみを活性化して低抵抗化させることができる。

#### 【0030】

また、上記各構成において、前記不純物領域は、電界効果トランジスタのエクステンション領域であることを特徴としている。エクステンション領域の接合深さは、前記ソース領域及びドレイン領域の接合深さよりも浅く形成されている。また、エクステンション領域にはn型の導電型を半導体に付与する不純物、或いは、p型の導電型を半導体に付与する不純物を含んでいる。加えて、n型の導電型を半導体に付与する不純物とp型の導電型を半導体に付与する不純物との両方を含んでもよい。

#### 【0031】

また、上記各構成において、前記基本波であるレーザビームは、パルス幅が1フェムト秒～10ピコ秒で発振することを特徴としている。パルス幅を1フェムト秒～10ピコ秒の範囲とすることで、多光子吸収を引き起こすのに十分な高強度を得ることができる。

#### 【0032】

多光子吸収を引き起こすのに十分な高強度を得ることができるレーザとして、パルス幅がピコ秒あるいはフェムト秒オーダーのパルスレーザがある。該パルスレーザとして用いることができるのは、Sapphire、YAG、セラミックスYAG、セラミックス $Y_2O_3$ 、KGW、KYW、 $Mg_2SiO_4$ 、YLF、 $YVO_4$ 、 $GdVO_4$ などの結晶に、Nd、Yb、Cr、Ti、Ho、Erなどのドーパントを添加したものが挙げられる。

#### 【0033】

なお、本発明で用いるレーザの繰り返し周波数は10MHz以上とすることも特徴の一つである。本発明で用いるレーザの繰り返し周波数は、従来のパルス発振のレーザで用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を用いる。パルス発振でレーザ光を半導体に照射してから半導体が完全に固化するまでの時間は数十ns～数百nsと言われており、10MHz以上のパルスレーザ発振器を用いると、半導体がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。

#### 【0034】

この数十ns～数百nsの時間内に同一箇所に再びレーザ光が照射されれば、溶融状態を保つことができるため、10MHz以上の繰り返し周波数のパルスレーザであれば、擬似的にCWレーザと同様に考えることができ、そのようなレーザは、擬似CWレーザと呼ぶ。

#### 【0035】

なお、本明細書でいうレーザアニール法とは、半導体基板又は半導体膜に形成された損傷層やアモルファス層を再結晶化する技術や、基板上に形成された非晶質半導体膜を結晶化させる技術、及び、半導体層に添加されたドーパントを活性化する技術を指している。また、半導体基板又は半導体膜の平坦化や表面改質に適用される技術も含んでいる。

#### 【0036】

また、本明細書で「多光子吸収」とは、2つ以上の光子の同時吸収のことで、同じエネルギーの一光子の吸収ではエネルギー的に到達できない反応性のある電子励起状態に達するようなものを意味する。なお、「同時」とは $10^{-14}$ 秒以下の時間内に発生する2つの事象を意味する。また、「電子励起状態」とは分子の電子基底状態より高いエネルギーに

より長い状態を意味する。

#### 【0037】

また、上記作製方法により得られるデバイスも本発明の一つであり、その構成は、電界効果トランジスタを含む集積回路を有する半導体装置であり、半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ゲート絶縁膜を介して前記ゲート電極の下方に位置する半導体層に形成されるチャネル形成領域と、前記チャネル形成領域の両側にn型またはp型の不純物元素が導入されたエクステンション領域と、前記エクステンション領域に接するソース領域またはドレイン領域とを有し、前記エクステンション領域は、前記ソース領域またはドレイン領域よりも接合深さが浅く形成され、前記チャネル形成領域の長さ（チャネル長）が5nm～80nmであることを特徴とする半導体装置である。

#### 【0038】

本発明により、極めて精密にレーザー光を選択的に照射して活性化することができるため、電界効果トランジスタのチャネル形成領域の長さを5nm～80nmの範囲で自由に設定することが可能である。

#### 【0039】

また、上記構成において、前記チャネル形成領域の長さと前記ゲート電極の幅は同一であることを特徴としている。ゲート電極と重なる位置に存在するチャネル形成領域にはレーザー光は照射されず、拡散もほとんど生じないため、チャネル形成領域の長さと前記ゲート電極の幅が同一となる。

#### 【0040】

また、上記構成において、前記集積回路は、コントローラ、CPU、またはメモリのうち少なくとも一つを含むことを特徴としている。

#### 【発明の効果】

#### 【0041】

本発明により、波長変換のための非線形光学素子を必要とせず、非常に大出力なレーザービーム、例えば高調波の2倍以上のエネルギーをもつものを得ることができる。また、本発明により、活性化した不純物が基板の深部へ不必要に拡散することを防止することができる。従って、再結晶化時において、半導体基板を十分低い基板温度に保った状態において、照射領域の不純物を効率よく活性化することができ、より高性能なデバイスの開発に利用できる。

#### 【0042】

また、本発明により、接合深さの浅い極浅接合を形成することができる。極浅接合を形成することができれば、リーク電流を低減することができ、低消費電力を実現することもできる。加えて、半導体集積回路のさらなる微細化や高集積度化が可能となる。

#### 【0043】

また、非線形光学素子は変質しやすいため、固体レーザーの利点であるメンテナンスフリーの状態を長く保てないという欠点があったが、本発明は非線形光学素子を用いないため、その欠点を克服することができる。即ち、本発明によりレーザー照射装置自体の安定性および信頼性が向上する。

#### 【発明を実施するための最良の形態】

#### 【0044】

本発明の実施形態について、以下に説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更できる。

#### 【0045】

##### （実施の形態1）

図1は、本発明のレーザー照射装置の一例を示す斜視図である。

#### 【0046】



図1に示すレーザ発振器101は、パルス幅がフェムト秒(10<sup>-15</sup>秒)程度で発振するレーザ(フェムト秒レーザともいう)のレーザ発振器を用いる。該レーザ発振器として用いることができるのは、Sapphire、YAG、セラミックスYAG、セラミックスY<sub>2</sub>O<sub>3</sub>、KGW、KYW、Mg<sub>2</sub>SiO<sub>4</sub>、YLF、YVO<sub>4</sub>、GdVO<sub>4</sub>などの結晶に、Nd、Yb、Cr、Ti、Ho、Erなどのドーパントを添加したレーザなどが挙げられる。なお、レーザ発振器101は、非線形光学素子を内蔵しておらず、レーザビームの基本波が射出される。レーザ発振器101は、レーザ媒質より発振された光を高調波に変換するための非線形光学素子を含まないが、半導体膜において十分に非線形光学効果(多光子吸収)を起こすだけの光の強度を持つものである。

#### 【0047】

まず、レーザ発振器101から射出されたレーザビームは、スリット102を通る。スリット102は、レーザビームにおけるエネルギーの弱い部分を遮断することができ、照射面におけるレーザビームの長尺方向の長さを調整することができる。本発明において使用するスリット102については特に制限されることはなく、スリットを通過した際に強度の弱い部分を遮断できる構造あるいは形状のものを使用することができる。

#### 【0048】

次いで、スリット102を通ったレーザビームはミラー103で方向を変えられて、半導体基板106の方向に偏向される。なお、方向を変えた後のレーザビームの方向は、半導体基板に対して垂直方向でも斜め方向でも構わない。

#### 【0049】

次いで、ミラー103で方向を変えられたレーザビームは、一方向にのみ作用する第1のシリンドリカルレンズ104によって、スリット102の像を照射面である半導体基板106上に投影する。さらに、レーザビームは第1のシリンドリカルレンズ104と90度回転した一方向にのみ作用する第2のシリンドリカルレンズ105によって集光され、半導体基板106に照射される。第1のシリンドリカルレンズ104、と第2のシリンドリカルレンズ105により、照射面にて線状または楕円状または矩形状のビーム照射領域111が得られる。第1のシリンドリカルレンズ104は、ビーム照射領域111の長尺方向にビームの整形を行い、第2のシリンドリカルレンズ105は、ビーム照射領域111の短尺方向にビームの整形を行っている。本発明で用いるシリンドリカルレンズとしては、入射側、出射側のいずれか一方に凸面が形成されているものでも、両側に凸面が形成されているものでもよいが、低収差、精度の面で入射側に凸面が形成されているものを使用することが好ましい。

#### 【0050】

図2を用いて、本発明の光学系について詳しく説明する。なお、図2中にて用いている符号は、図1で用いたものと共通の符号を用いている。図2(a)はビーム照射領域の長尺方向を表し、図2(b)は短尺方向を表している。レーザ発振器101から射出したレーザビームはスリット102によってレーザビームの一部を遮られ、レーザビームの強度が強い部分のみが通過する。通過したレーザビームは第1のシリンドリカルレンズ104によってスリット102でできた像を半導体基板106に投影するものである。なお、図1中の実線で示すレーザビーム110は、ビーム照射領域111の中心を通るレーザビームを示している。

#### 【0051】

ここで、本発明の特徴の一つである、第1のシリンドリカルレンズ104と、スリット102と、照射面となる半導体基板106との間の位置関係について詳しく説明する。スリット102を用いる理由は、レーザビームにおけるエネルギーの弱い部分が半導体基板に照射されるのを防ぐためである。そのようなレーザビームが半導体基板に照射されると表面に凹凸を多く有する比較的結晶粒の小さな多結晶の領域(ここでは結晶性不良領域と称する。)が形成され、好ましくない。そこで、スリット102を用い、そのような領域が半導体基板に形成されないようにする。なお、通常、レーザビームをスリットで一部遮光するとレーザの干渉性に起因する回折と呼ばれる現象が起こるが、これによりレーザビ

ームに回折縞が発生する。以下は、そのような回折縞が照射面において発生しない方法について説明する。

【0052】

第1のシリンドリカルレンズ104の焦点距離をとし、スリット102の開口の幅をとする。このとき、スリット102と第1のシリンドリカルレンズ104の間隔をM1とし、第1のシリンドリカルレンズ104と半導体基板106の間隔をM2とする。また、照射面となる半導体基板106上での長尺方向の長さをLとする。このとき、次の2式が成り立つ。

【0053】

【数2】

$$\frac{s}{L} = \frac{M1}{M2}$$

【0054】

【数3】

$$\frac{1}{f} = \frac{1}{M1} + \frac{1}{M2}$$

【0055】

上記2つの数式より、次の2式が成り立つ。

【0056】

【数4】

$$M1 = \frac{f(s+L)}{L}$$

【0057】

【数5】

$$M2 = \frac{f(s+L)}{s}$$

【0058】

これらの関係を満たす位置にスリット、第1のシリンドリカルレンズ、照射面を配置することで、回折による縞は半導体基板に伝達されなくなる。これにより、結晶性不良領域がほとんど発生しないレーザ照射が実現できる。

【0059】

また、射出したレーザビームのビーム径、出力、ビームの形状をそのまま用いることができる場合は、シリンドリカルレンズを必ずしも2つ用いる必要はない。また、射出したレーザビームの長尺と短尺の長さの比を保ったまま集光を行う場合は、シリンドリカルレンズの代わりに、球面レンズを用いても良い。

【0060】

そして、半導体基板106を適切な速度にて移動させてレーザ照射を行う。半導体基板106は、レーザ照射の際に基板が落ちないように、吸着手段または機械的に固定する手段によって基板固定ステージ107に固定されている。また、基板固定ステージ107は、Xステージ108、Yステージ109を用いて半導体基板の表面と平行な面上をX方向またはY方向に移動させることができるようになっていて、Xステージ108、およびYステージ109は、基板固定ステージ107に固定された半導体基板を100～1000 mm/secの速度で移動させることが可能である。ここでは、固定されたレーザビームの照射領域に対して、半導体基板が設置されたステージをX方向（またはY方向）に移動させてレーザ光を走査させる方式としている。なお、本発明人らの経験から予想される最適な走査の速度は、400 mm/sec前後である。

【 0 0 6 1 】

また、Xステージ108、およびYステージ109を移動させる方式に限定されず、ガルバノミラーやポリゴンミラーによりレーザ光を走査させてもよく、基板の縦方向（Y方向）に沿って帯状に形成されたレーザビームを照射し、その照射領域を基板に対して相対的に横方向（X方向）に移動させてレーザ光を走査させることができればよい。

【 0 0 6 2 】

本発明によりレーザ照射を活性化処理に用いて、適宜、FETなどの半導体素子を作製することで、より高性能なデバイスの開発に利用できる。

【 0 0 6 3 】

また、レーザのパルス幅に対する不純物の拡散距離を次に示す式で求めることができる。

【 0 0 6 4 】

【数6】

$$L_D \approx (D_F \tau_L)^{1/2}$$

【 0 0 6 5 】

ここで、 $\tau_L$ は時間、即ちレーザのパルス幅を指している。また、 $D_F$ は材料の熱拡散係数であり、 $D_F = K_T / \rho C_p$ である。ただし、 $K_T$ は熱伝導率、 $\rho$ は密度、 $C_p$ は比熱容量である。結晶シリコンの熱伝導率 $K_T$ は、 $148 \text{ W/m} \cdot \text{K}$ であり、結晶シリコンの密度 $\rho$ は、 $2330 \text{ kg/cm}^3$ であり、結晶シリコンの比熱容量 $C_p$ は、 $700 \text{ J/(kg} \cdot \text{K)}$ である。従って、結晶シリコンの熱拡散係数 $D_F$ は、 $9.074 \times 10^{-5} \text{ m}^2/\text{s}$ となる。

【 0 0 6 6 】

例えば、レーザのパルス幅を $1 \text{ ps}$ とした時、結晶シリコンの熱拡散距離 $L_D$ は、 $9.525853 \text{ nm}$ と算出できる。このようにパルス幅をピコ秒台、或いはフェムト秒（ $10^{-15}$ 秒）台のパルスレーザから射出されるレーザビームを用いた場合、結晶シリコンの熱拡散距離は極めて小さく、レーザビームで照射された部分のみが高温高密度エネルギー状態となり、熱拡散により熱影響層がほとんどでないことを示している。即ち、パルス幅をピコ秒台、或いはフェムト秒（ $10^{-15}$ 秒）台のパルスレーザから射出されるレーザビームを半導体に添加された不純物の活性化に用いた場合、接合深さの浅い極浅接合を形成することができる。

【 0 0 6 7 】

また、本発明において、レーザのパルス幅などの照射条件を適宜設定することで接合深さを自由に調節することもできる。

【 0 0 6 8 】

また、ここでは活性化に用いた例を示したが、特に限定されず、シリサイド形成処理などで代表される様々なレーザアニール処理に適用することができる。

【 0 0 6 9 】

（実施の形態2）

以下に本発明を用いたFETの作製手順を簡略に図3（A）及び図3（B）を用いて示す。ここでは不純物が導入された不純物領域に対して、近赤外領域の波長をもつ基本波であり、且つ、パルス幅が $10 \text{ ps}$ 程度以下のレーザ光を照射し、照射領域に非線形光学効果（多光子吸収）を生じさせて活性化を行う例を示す。

【 0 0 7 0 】

まず、単結晶シリコンからなるシリコン基板301を用意する。そして、シリコン基板の主面（素子形成面または回路形成面）の第1の素子形成領域にn型ウェル302を、第2の素子形成領域にp型ウェル303をそれぞれ選択的に形成する。

【 0 0 7 1 】

次いで、第1の素子形成領域と第2の素子形成領域とを区画するための素子分離領域と



なるフィールド酸化膜を形成する。フィールド酸化膜は薄い熱酸化膜とし、公知のLOCOS法を用いて形成すればよい。なお、素子分離法は、LOCOS法に限定されず、例えば素子分離領域はトレンチ分離法を用いてトレンチ構造を有していてもよいし、LOCOS構造とトレンチ構造の組み合わせであってもよい。

#### 【0072】

次いで、シリコン基板の表面を、例えば熱酸化させることによってゲート絶縁膜を形成する。ゲート絶縁膜は、CVD法を用いて形成してもよく、酸化窒化珪素膜や酸化珪素膜や窒化珪素膜やそれらの積層膜を用いることができる。例えば、熱酸化により得られる膜厚5nmの酸化珪素膜とCVD法で得られる膜厚10nm～15nmの酸化窒化珪素膜の積層膜を形成する。

#### 【0073】

次いで、ポリシリコン層311a、317aとシリサイド層311b、317bとの積層膜を全面に形成し、リソグラフィ技術およびドライエッチング技術に基づき積層膜をパターニングすることによってゲート絶縁膜上にポリサイド構造を有するゲート電極311、317を形成する。ポリシリコン層311a、317aは低抵抗化するために予め、 $10^{21}/\text{cm}^3$ 程度の濃度でリン(P)をドーピングしておいても良いし、ポリシリコン膜を形成した後で濃いn型不純物を拡散させても良い。また、シリサイド層311b、317bを形成する材料はモリブデンシリサイド( $\text{MoSi}_x$ )、タングステンシリサイド( $\text{WSi}_x$ )、タンタルシリサイド( $\text{TaSi}_x$ )、チタンシリサイド( $\text{TiSi}_x$ )などを適用することが可能であり、公知の方法に従い形成すれば良い。

#### 【0074】

次いで、エクステンション領域を形成するために、ゲート絶縁膜を介してシリコン半導体基板にイオン注入を行う。本実施の形態においては、各ソース領域およびドレイン領域とチャネル形成領域との間に形成された不純物領域をエクステンション領域と呼ぶ。エクステンション領域307、313の不純物濃度は、ソース領域およびドレイン領域の不純物濃度よりも低い場合もあるし、同等の場合もあるし、高い場合もある。即ち、エクステンション領域の不純物濃度は、半導体装置に要求される特性に基づいて決定すればよい。

#### 【0075】

本実施の形態は、CMOSを製造する場合であるので、pチャネル型FETを形成すべき第1の素子形成領域をレジスト材料で被覆し、n型不純物であるヒ素(As)やリン(P)をシリコン基板に注入する。また、nチャネル型FETを形成すべき第2の素子形成領域をレジスト材料で被覆し、p型不純物であるボロン(B)をシリコン基板に注入する。

#### 【0076】

次いで、イオン注入された不純物の活性化および、イオン注入によって発生したシリコン基板における結晶欠陥を回復するために、第1回目の活性化処理を行う。本実施の形態においては、実施の形態1に示すように、基本波であり、且つ、パルス幅が10ps以下のレーザ光を照射し、非線形光学効果(多光子吸収)を生じさせて活性化を行う。本プロセスを効率よく行うため、レーザの繰り返し周波数は、10MHz以上としてもよい。Siの融点程度の温度まで半導体基板を加熱し、表面の薄い層を局所的に加熱して活性化する。このとき、Si内の不純物は非常に短い時間で加熱されるため、その間に移動できる距離は極めて短い。しかしながら、Siの格子点に移動するには十分な距離であるため、本プロセスにより、注入されている不純物を十分に活性化することができる。また、先の議論でも述べたとおり、本プロセスによる不純物の移動距離は1nm程度以下と短く、これによって不純物の拡散を極力抑えることができる。

#### 【0077】

次いで、ゲート電極の側壁にサイドウォール312、318を形成する。例えば酸化珪素からなる絶縁材料層を全面にCVD法にて体積させ、かかる絶縁材料層をエッチバックすることによってサイドウォールを形成すればよい。エッチバックの際に自己整合的にゲート絶縁膜を選択的に除去してもよい。また、エッチバック後にゲート絶縁膜のエッチン



を付してもよい。この際、ソース電極の幅と、そのソース電極の両端の両側に設けられたサイドウォールの幅とを合計した幅を有するゲート絶縁膜 310、316 が形成される。

#### 【0078】

次いで、ソース領域およびドレイン領域を形成するために、露出したシリコン基板にイオン注入を行う。CMOSを製造する場合であるので、pチャネル型FETを形成すべき第1の素子形成領域をレジスト材料で被覆し、n型不純物であるヒ素（As）やリン（P）をシリコン基板に注入してソース領域314及びドレイン領域315を形成する。また、nチャネル型FETを形成すべき第2の素子形成領域をレジスト材料で被覆し、p型不純物であるボロン（B）をシリコン基板に注入してソース領域308及びドレイン領域309を形成する。

#### 【0079】

次いで、イオン注入された不純物の活性化および、イオン注入によって発生したシリコン基板における結晶欠陥を回復するために、第2回目の活性化処理を行う。第2回目の活性化処理も基本波であり、且つ、パルス幅が10ps以下のレーザ光を照射し、非線形光学効果（多光子吸収）を生じさせて活性化を行う。この段階での断面図が図3（A）に相当する。

#### 【0080】

そして、活性化後に層間絶縁膜やプラグ電極やメタル配線等を形成する。第1の層間絶縁膜331は、プラズマCVD法や減圧CVD法を用いて酸化シリコン膜や酸化窒化シリコン膜などで100～2000nmの厚さに形成する。さらにその上にリンガラス（PSG）、あるいはボロンガラス（BSG）、もしくはリンボロンガラス（PBSG）の第2の層間絶縁膜332が形成する。第2の層間絶縁膜332は、平坦性を上げるため、スピコート法や常圧CVD法で作製する。

#### 【0081】

ソース電極333、335、及びドレイン電極334、336は、第1の層間絶縁膜331および第2の層間絶縁膜332にそれぞれのFETのソース領域及びドレイン領域に達するコンタクトホールを形成した後に形成するもので、低抵抗材料として通常良く用いられるアルミニウム（Al）を用いると良い。また、Alとチタン（Ti）の積層構造としても良い。

#### 【0082】

また、ここでは図示していないが、第1の層間絶縁膜331および第2の層間絶縁膜332にゲート電極に達するコンタクトホールが設けられ、第1の層間絶縁膜上に設けられている配線と電氣的に接続する電極が形成する。

#### 【0083】

最後に、パッシベーション膜341と第3の層間絶縁膜342を形成し、図3（B）の状態を得る。図3（B）において向かって左側がpチャネル型FET201であり、右側がnチャネル型FET202である。

#### 【0084】

パッシベーション膜341は、プラズマCVD法で窒化シリコン膜、または酸化シリコン膜、あるいは窒化酸化シリコン膜で形成されている。さらに、第3の層間絶縁膜342は有機樹脂材料で1μm～2μmの厚さに形成する。有機樹脂材料として、ポリイミド、ポリアミド、アクリル、ベンゾシクロブテン（BCB）などを用いることができる。有機樹脂膜を用いることの利点は、膜の形成方法が簡単である点や、比誘電率が低いので寄生容量を低減できる点、平坦化するのに適している点などがある。勿論、上述した以外の有機樹脂膜を用いても良い。

#### 【0085】

本発明により、パンチスルーや、ゲートリーク等の短チャネル効果を抑制することができ、半導体装置のさらなる微細化を進展させることができる。また、本発明により、FETのソース領域とドレイン領域の間隔やエクステンション領域の幅を自由に設計すること

が可能となる。従って、本発明によつて、図1のダイヤグラムを5111〜5113の範囲で自由により設計することが可能である。

#### 【0086】

また、本実施の形態は実施の形態1と自由に組み合わせることができる。

#### 【0087】

(実施の形態3)

本発明の半導体装置の作製方法について図面を参照して説明する。本実施の形態は、絶縁層と単結晶半導体層とが積層されたSOI(silicon on insulator)基板を用いる例を示す。

#### 【0088】

SOI基板としては、例えば、SIMOX(separation by implanted oxygen)基板が挙げられる。SIMOX基板510は、単結晶半導体層の表面からわずかに深い部分に酸素分子を埋め込み、それを高熱で酸化させることにより、絶縁層とその絶縁層上に単結晶半導体層を作製した基板であり、第1の単結晶半導体層511と、絶縁層512と、第2の単結晶半導体層513とが積層された基板である(図4(A)参照)。

#### 【0089】

SIMOX基板510を用いた本発明の半導体装置の作製方法について説明する。まず、SIMOX基板510の一表面の第1の単結晶半導体層511を活性層とした電界効果トランジスタなどの第1の素子を複数形成する。続いて、第1の単結晶半導体層511上に、第2の素子を含む層514を形成する(図4(B)参照)。次に、SIMOX基板510の一表面とは反対の表面の第2の単結晶半導体層513をエッチングして除去する(図4(C)参照)。そうすると、絶縁層512と、第1の単結晶半導体層511と、第2の素子を含む層514とが順に積層された半導体装置516が完成する(図4(D)参照)。

#### 【0090】

なお、第2の単結晶半導体層513の除去は、砥石等の研削研磨装置515を用いて行ってもよいし、エッチング剤を用いて行ってもよいし、研削研磨装置515とエッチング剤を併用して行ってもよい。好ましくは、第2の単結晶半導体層513がある程度の薄さになるまでは研削研磨し、その後、絶縁層512が露出するまで、エッチング剤により第2の単結晶半導体層513を除去するとよい。エッチング剤は、ウェットエッチングであれば、フッ酸を水やフッ化アンモニウムで希釈した混液、フッ酸と硝酸の混液、フッ酸と硝酸と酢酸の混液、過酸化水素と硫酸の混液、過酸化水素とアンモニウム水と水の混液、過酸化水素と塩酸と水の混液等を用いる。また、ドライエッチングであれば、フッ素等のハロゲン系の原子や分子を含む気体、又は酸素を含む気体を用いる。好ましくは、フッ化ハロゲン又はハロゲン間化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素(ClF<sub>3</sub>)を用いるとよい。

#### 【0091】

SIMOX基板510が含む第2の単結晶半導体層513の厚さは、数十〜数百μmの厚さであるのに対し、第1の単結晶半導体層511の厚さは0.3μm以下と大変薄い。従って、第1の単結晶半導体層511を用いて電界効果トランジスタを複数形成した後に、第2の単結晶半導体層513を除去すれば、小型、薄型、軽量を実現した半導体装置、例えば、超大規模集積回路(ULSI)やSRAM、DRAMなどのメモリ装置を提供することができる。

#### 【0092】

さらに詳しく説明するため、第1の素子を電界効果トランジスタとし、第2の素子を記憶素子としてDRAMを作製する方法を図5、図6を用いて以下に示す。

#### 【0093】

まず、図5(A)に示すように、第1の単結晶半導体層511と、絶縁層512と、第2の単結晶半導体層513とが積層されたSIMOX基板上に無機絶縁膜614を形成す

#### 【0094】

次いで、導電材料からなるゲート電極616を形成し、ゲート電極616をマスクとして無機絶縁膜を自己整合的にエッチングしてゲート絶縁膜615を形成する。この段階で図5(B)の状態が得られる。

#### 【0095】

次いで、エクステンション領域を形成するため、不純物をプラズマドーピング法により導入して第1の不純物領域617aを形成する。プラズマドーピング法を用いることによって極浅の不純物注入を行う。この段階で図5(C)の状態が得られる。

#### 【0096】

次いで、導入した不純物を極浅、且つ、高濃度のプロファイルのまま活性化を行うために、基本波であり、且つ、パルス幅が10ps以下のレーザ光を照射し、照射領域に非線形光学効果(多光子吸収)を生じさせるレーザアニールを行う。こうして、電氣的に活性化された第1の不純物領域617bが形成される。この段階で図5(D)の状態が得られる。

#### 【0097】

次いで、ゲート電極616を覆うように窒化珪素膜を成膜し、膜厚分だけ異方的にドライエッチングする。こうして、図5(E)に示すように、ゲート電極616の側壁部に窒化珪素膜を部分的に残したサイドウォール618を形成する。このサイドウォール618を形成することによってゲート電極616端部で不純物の濃度勾配を形成して、電界効果トランジスタの信頼性を向上させている。

#### 【0098】

次いで、ソース領域およびドレイン領域を形成するため、不純物をイオンドーピング法により導入して第2の不純物領域619を形成する。イオンドーピング法を用いることによって第1の不純物領域よりも深く不純物注入を行う。この段階で図5(F)の状態が得られる。

#### 【0099】

次いで、第2の不純物領域619の活性化を行う。ここでの活性化としては、YAGレーザ或いはXeClレーザを用いてエネルギー密度0.1~1J/cm<sup>2</sup>程度のレーザアニールを行う。なお、このレーザアニールに代えて、基本波であり、且つ、パルス幅が10ps以下のレーザ光を用いるレーザアニールを行うことも可能である。

#### 【0100】

次いで、第1の酸化珪素膜620をCVD法により形成した後、CMPで平坦化し、コンタクトホールをフォトリソグラフィを行う。第1の酸化珪素膜620をエッチングして形成されたコンタクトホールをポリシリコンで充填し、第2の不純物領域619と接する引出端子(プラグとも呼ぶ)621を形成する。なお、キャパシタ用のプラグ624、625も同時に形成される。次いで、第2の酸化珪素膜622を全面に成膜した後、ビット線を形成する部分を開口する。次いで、スパッタ法によりTiN膜とW膜とを積層成膜し、パターニングしてビット線623を形成する。なお、ビット線623は2つのメモリセルで共通とする。

#### 【0101】

次いで、ビット線623のさらに上にキャパシタを形成するために、第3の酸化珪素膜626と窒化珪素膜627をCVD法により形成した後、CMPで平坦化し、コンタクトホールをフォトリソグラフィを行う。第3の酸化珪素膜626及び窒化珪素膜627をエッチングして形成されたコンタクトホールをポリシリコンで充填し、キャパシタ用の第1のプラグ624、625と接するキャパシタ用の第2のプラグ628、629を形成する。

#### 【0102】

次いで、円筒形状のキャパシタを形成するため、形成しようとするキャパシタの高さに相当する膜厚で第4の酸化珪素膜をCVD法により形成する。キャパシタの孔パターンを



フォトリソグラフィで形成してエッチアップする。なお、エッチャントは隣のエッチャントと接触しない範囲で極力大きく設計する。

#### 【0103】

次いで、第4の酸化珪素膜の孔の内面を含めて前面に薄いポリシリコン膜をCVD法により形成する。次いで、エッチバックを行って部分的にポリシリコン膜を除去すると孔の内面だけにポリシリコン膜が残って円筒形状の電極（キャパシタの下部電極）630が形成される。

#### 【0104】

また、図6に示すメモリセルの構造に限定されず、たとえば、プレーナ型、スタック型、トレンチ型としてもよい。

#### 【0105】

次いで、 $Ta_2O_5$ 膜と、TiN膜をCVD法により形成した後、パターニングしてTiN膜からなる上部電極（プレートとも呼ばれる）631を形成する。以上の工程でメモリセルが完成する。なお、 $Ta_2O_5$ 膜に代わる誘電体としてBaSrTiO<sub>3</sub>やSiO<sub>2</sub>やSi<sub>3</sub>N<sub>4</sub>などを用いることができる。

#### 【0106】

そして、第1の層間絶縁膜632または第2の層間絶縁膜633を形成し、周辺に設けられたCMOS回路（図示しない）を第1の配線と第2の配線とで接続する。上下の配線間には、コンタクトホール形成とプラグ形成とで電氣的に接続させる。

#### 【0107】

CMOS回路を第1の配線と第2の配線とで接続する。なお、図6に示すようにメモリアレイ上は第1の配線と、第2の配線とが横切るだけである。周辺の電界効果トランジスタに対して、ビット線と、第1の配線と、第2の配線との計3層の配線構造が組まれている。

#### 【0108】

また、第1の配線は、TiN膜634aと、Alを主成分とする膜634bの積層で形成する。また、第2の配線もTiN膜635aと、Alを主成分とする膜635bの積層で形成する。

#### 【0109】

そして、いろいろな工程を経たダメージ回復などのために水素雰囲気下でアニールを行う。そして、酸化珪素膜または窒化珪素膜からなる最終保護膜636を形成して、ボンディングパッド（パッケージへの接続端子部分）だけ第2の配線が露出するように開口する。

#### 【0110】

最後に、第2の単結晶半導体層513を削り、薄くする。こうして、図6に構造の一部を示したDRAMが完成する。

#### 【0111】

そして、ウェーハからDRAMを有するチップを個々に分離するためにダイシングを行う。ついで、ウェーハからチップを一つずつピックアップし、リードフレームに搭載する。そして、チップの電極端子とリードフレームのインナリードとの間を、直径約20～30μmの金ワイヤーで電氣的導通できるように繋ぐ。次いで、取り扱いが容易になるようにモールド樹脂層で封止する。次いで、リードをはんだメッキして錆を防ぐ。次いで、リードフレームから個々のパッケージに切り離し、リードを成形する。こうして、パッケージを行う。

#### 【0112】

図7に、パッケージが行われたデバイスの断面構造を表す斜視図を示す。図7に示す構造は、ワイヤボンディング法でチップ702がリードフレーム701に接続されている。また、チップ702は、モールド樹脂層703によって封止されている。また、チップ702はリードフレーム701上に、マウント用の接着剤704によりマウントされている。

#### 【0113】





なお、図8（A）ではパネル800にプリント配線基板816が1111を用いて大表されているが、必ずしもこの構成に限定されない。COG (Chip on Glass)方式を用い、コントローラ801、音声処理回路829、メモリ811、CPU802または電源回路803をパネル800に直接実装させるようにしても良い。

#### 【0123】

また、プリント配線基板816において、引きまわしの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることがある。そこで、プリント配線基板816に容量素子、バッファ等の各種素子を設けることで、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりするのを防ぐことができる。

#### 【0124】

また、図8（B）は、FPC上に搭載された集積回路が備えられたモジュールの例を示している。

#### 【0125】

図8（B）に示すように、FPC908上には、集積回路（コントローラ901、CPU (Central Processing unit) 902、メモリ903）が搭載されている。パネル900には、画素部905、および駆動回路（信号線駆動回路907、走査線駆動回路906）が設けられており、これらと外部に設けられた外部電源等（図示せず）を電気的に接続するためのFPC908が、接着剤909によりパネル900上に貼り付けられている。FPC908上に半導体基板を用いた集積回路（コントローラ901、CPU902、メモリ903）を設けることで、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりするのを防いでいる。

#### 【0126】

また、本実施の形態は実施の形態1、実施の形態2、または実施の形態3と自由に組み合わせることができる。

#### 【0127】

##### （実施の形態5）

本発明のレーザアニール法を用いて作製したFETを集積したICチップを薄膜集積回路、または非接触型薄膜集積回路装置（無線ICタグ、RFID（無線認証、Radio Frequency Identification）とも呼ばれる）として用いることもできる。

#### 【0128】

アンテナとして機能する導電層1517が設けられたカード状基板1518に本発明のICチップ1516を貼り付けたIDカードの例を図9に示す。このように、本発明のICチップ1516は、小型、薄型、軽量であり、多種多様の用途が実現し、物品に貼り付けても、その物品のデザイン性を損なうことがない。

#### 【0129】

なお、本発明のICチップ1516は、カード状基板1518に貼り付ける形態に制約されず、曲面や様々な形状の物品に貼り付けることもできる。例えば、ICチップを紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等）、包装用容器類（包装紙やボトル等）、記録媒体（DVDソフトやビデオテープ等）、乗物類（自転車等）、身の回り品（鞆や眼鏡等）、食品類、衣類、生活用品類等に設けて使用することができる。

#### 【0130】

また、本実施の形態は実施の形態1、実施の形態2、実施の形態3、または実施の形態4と自由に組み合わせることができる。

#### 【0131】

##### （実施の形態6）

本発明のレーザアニール法を用いて作製したFETを集積したICチップとして搭載し、様々な電子機器を完成させることができる。その具体例を図10を用いて説明する。

#### 【0132】

図 10 (A) は表示装置であり、筐体 1901、表示部 1902、音声部 1903、スピーカ部 1904、ビデオ入力端子 1905 などを含む。この表示装置は、他の実施例で示した作製方法により形成した FET を駆動 IC に用いることにより作製される。なお、表示装置には液晶表示装置、発光装置などがあり、具体的にはコンピュータ用、テレビ受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

#### 【0133】

図 10 (B) はコンピュータであり、筐体 1911、表示部 1912、キーボード 1913、外部接続ポート 1914、ポインティングマウス 1915 などを含む。上述した実施の形態で示した作製方法を用いることにより、表示部の駆動 IC や、本体内部の CPU、メモリなどにも適用が可能である。

#### 【0134】

また、図 10 (C) は携帯電話であり、携帯情報端末の 1 つの代表例である。この携帯電話は筐体 1921、表示部 1922、センサ部 1924、操作キー 1923 などを含む。センサ部 1924 は、光センサ素子を有しており、センサ部 1924 で得られる照度に合わせて表示部 1922 の輝度コントロールを行ったり、センサ部 1924 で得られる照度に合わせて操作キー 1923 の照明制御を行うことで携帯電話の消費電流を抑えることができる。また、CCD などの撮像機能を有する携帯電話であれば、光学ファインダーの近くに設けられたセンサ部 1924 のセンサ受光量が変化することで撮影者が光学ファインダーを覗いたか否かを検出する。撮影者が光学ファインダーを覗いている場合には、表示部 1922 をオフとすることで消費電力を抑えることができる。

#### 【0135】

上記の携帯電話を初めとして、PDA (Personal Digital Assistants、情報携帯端末)、デジタルカメラ、小型ゲーム機などの電子機器は携帯情報端末であるため、表示画面が小さい。従って、上述した実施の形態で示した FET を用いて CPU、メモリ、センサなどの機能回路を形成して、小型・軽量化を図ることができる。

#### 【0136】

また、IC タグを様々な電子機器に貼り付けることにより、電子機器の流通経路などを明確にすることができる。図 10 (D) は、パスポート 1941 に無線 IC タグ 1942 を付けている状態を示している。また、パスポート 1941 に無線 IC タグを埋め込んでもよい。同様にして、運転免許証、クレジットカード、紙幣、硬貨、証券、商品券、チケット、トラベラーズチェック (T/C)、健康保険証、住民票、戸籍謄本などに無線 IC タグを付けたり埋め込むことができる。この場合、本物であることを示す情報のみを無線 IC タグに入力しておき、不正に情報を読み取ったり書き込んだりできないようにアクセス権を設定する。これは、他の実施例で示したメモリを用いることにより実現できる。このようにタグとして利用することによって、偽造されたものと区別することが可能になる。

#### 【0137】

このほかに、無線 IC タグをメモリとして用いることも可能である。図 10 (E) は無線 IC タグ 1951 を野菜の野菜の包装に貼り付けるラベルに用いた場合の例を示している。また、包装そのものに無線 IC タグを貼り付けたり埋め込んだりしても構わない。無線 IC タグ 1951 には、生産地、生産者、製造年月日、加工方法などの生産段階のプロセスや、商品の流通プロセス、価格、数量、用途、形状、重量、賞味期限、各種認証情報などを記録することが可能になる。無線 IC タグ 1951 からの情報は、リーダ 1952 のアンテナ部 1953 で受信して読み取り、リーダ 1952 の表示部 1954 に表示することによって、卸売業者、小売業者、消費者が把握することが容易になる。また、生産者、取引業者、消費者のそれぞれに対してアクセス権を設定することによって、アクセス権を有しない場合は読み込み、書き込み、書き換え、消去ができない仕組みになっている。

#### 【0138】

また、無線 IC タグは以下のように用いることができる。会計の際に無線 IC タグに会計を済ませたことを記入し、出口にチェック手段を設け、会計済みであることを無線 IC タグに書き込まれているかをチェックする。会計を済ませていないで店を出ようとすると、



#### 【0139】

さらに、顧客のプライバシー保護を考慮すると、次のような方法にすることも可能である。レジで会計をする段階で、(1)無線ICタグに入力されているデータを暗証番号などでロックする、(2)無線ICタグに入力されているデータそのものを暗号化する、(3)無線ICタグに入力されているデータを消去する、(4)無線ICタグに入力されているデータを破壊する、のいずれかを行う。これらは他の実施例にて挙げたメモリを用いることによって実現することができる。そして、出口にチェック手段を設け、(1)～(4)のいずれかの処理が行われたか、または無線ICタグのデータに何も処理が行われていない状態であるかをチェックすることによって、会計の有無をチェックする。このようにすると、店内では会計の有無を確認することが可能であり、店外では所有者の意志に反して無線ICタグの情報を読み取られることを防止することができる。

#### 【0140】

本発明を用いることによって、短チャネル効果を抑えつつ、さらなる微細化を図ることができ、無線ICタグに設けられたICチップの小型化を実現できる。ICチップはサイズが小さくなればなるほど耐衝撃強度が増すため、信頼性が向上する。また、本発明のレーザーアニール法により、どの無線ICタグも品質が高く、かつ性能のばらつきがないように製作することができる。

#### 【0141】

以上のように、本発明により作製された半導体装置の適用範囲は極めて広く、本発明により作製された半導体装置を様々な分野の電子機器に用いることができる。

#### 【0142】

また、本実施の形態は、実施の形態1、実施の形態2、実施の形態3、実施の形態4、または実施の形態5と自由に組み合わせることができる。

#### 【産業上の利用可能性】

#### 【0143】

本発明により、波長変換のための非線形光学素子を必要とせず、非常に大出力なレーザービームで活性化を行うことができる。従って、一度の走査で活性化できる領域の幅を拡大することができるため、格段に生産性を向上させることができる。

#### 【0144】

また、本発明により、半導体集積回路のさらなる微細化を進めることができ、ICの高集積度化を進めることができる。加えて、本発明により、ウェーハ1枚当たりのチップ数を増やすことができる。

#### 【図面の簡単な説明】

#### 【0145】

【図1】レーザー照射装置の一例を示す斜視図。

【図2】レーザー照射装置の光学系を示す図である。

【図3】本発明のFETの作製工程の断面図である。

【図4】SIMOX基板の作製工程を示す図。

【図5】SIMOX基板を用いたFETの作製工程を示す図。

【図6】SIMOX基板を用いたDRAMの断面構造図。

【図7】パッケージが行われたデバイスの断面構造を表す斜視図。

【図8】パネルモジュールに搭載した例を示す上面図。

【図9】カードに搭載した例を示す上面図。

【図10】電子機器の一例を示す図。

#### 【符号の説明】

#### 【0146】

101：レーザー発振器

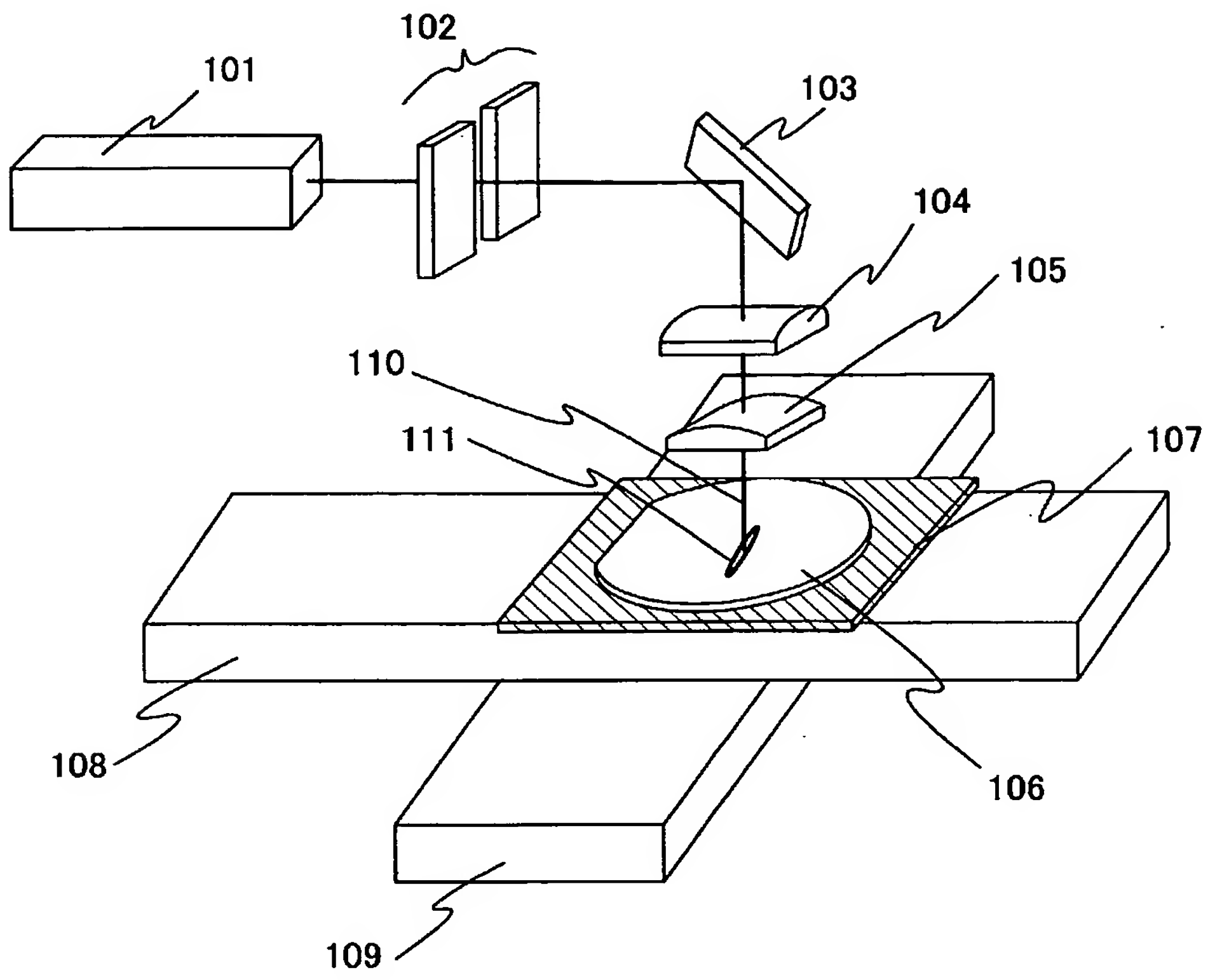
102：スリット

103：ミラー

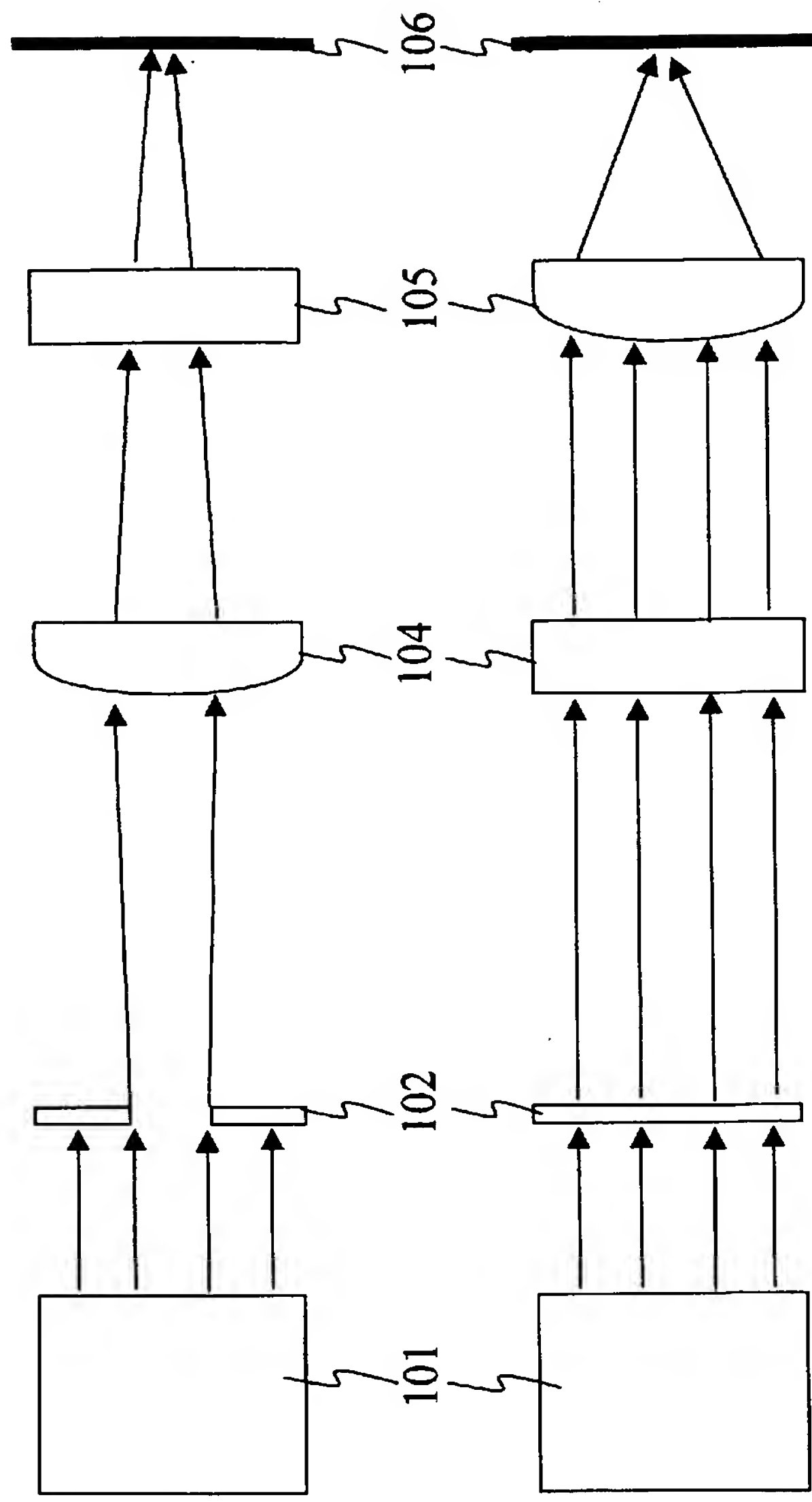


1 0 4 : 第 1 のシリンドリカルレンズ  
1 0 5 : 第 2 のシリンドリカルレンズ  
1 0 6 : 半導体基板  
1 0 7 : 基板固定ステージ  
1 0 8 : Xステージ  
1 0 9 : Yステージ  
1 1 0 : レーザビーム  
1 1 1 : ビーム照射領域  
3 0 1 : 基板  
3 0 2 : n型ウェル  
3 0 3 : p型ウェル  
3 0 6 : フィールド酸化膜  
3 0 7 : エクステンション領域  
3 0 8 : ソース領域  
3 0 9 : ドレイン領域  
3 1 0 : ゲート絶縁膜  
3 1 1 : ゲート電極  
3 1 2 : サイドウォール  
3 1 3 : エクステンション領域  
3 1 4 : ソース領域  
3 1 5 : ドレイン領域  
3 1 6 : ゲート絶縁膜  
3 1 7 : ゲート電極  
3 1 8 : サイドウォール  
3 3 1 : 第 1 の層間絶縁膜  
3 3 2 : 第 2 の層間絶縁膜  
3 3 3 : ソース電極  
3 3 4 : ドレイン電極  
3 3 5 : ソース電極  
3 3 6 : ドレイン電極  
3 4 1 : パッシベーション膜  
3 4 2 : 第 3 の層間絶縁膜

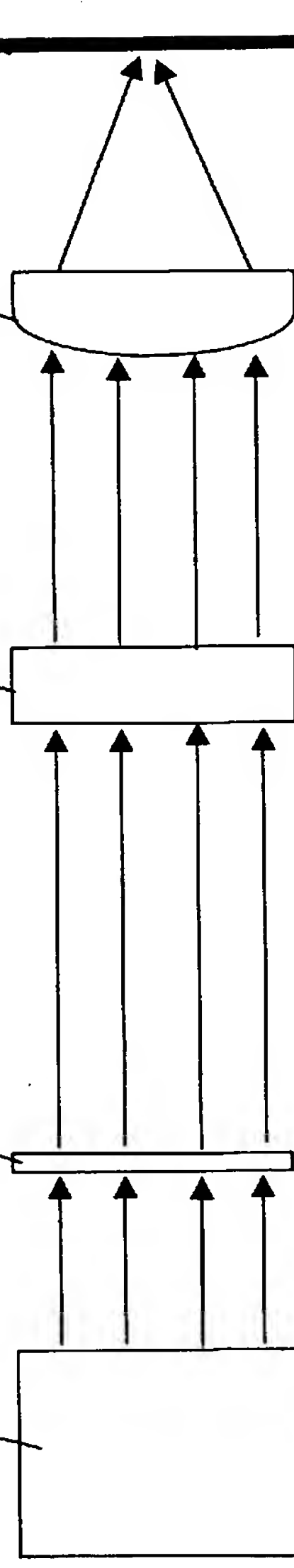
【 図 1 】

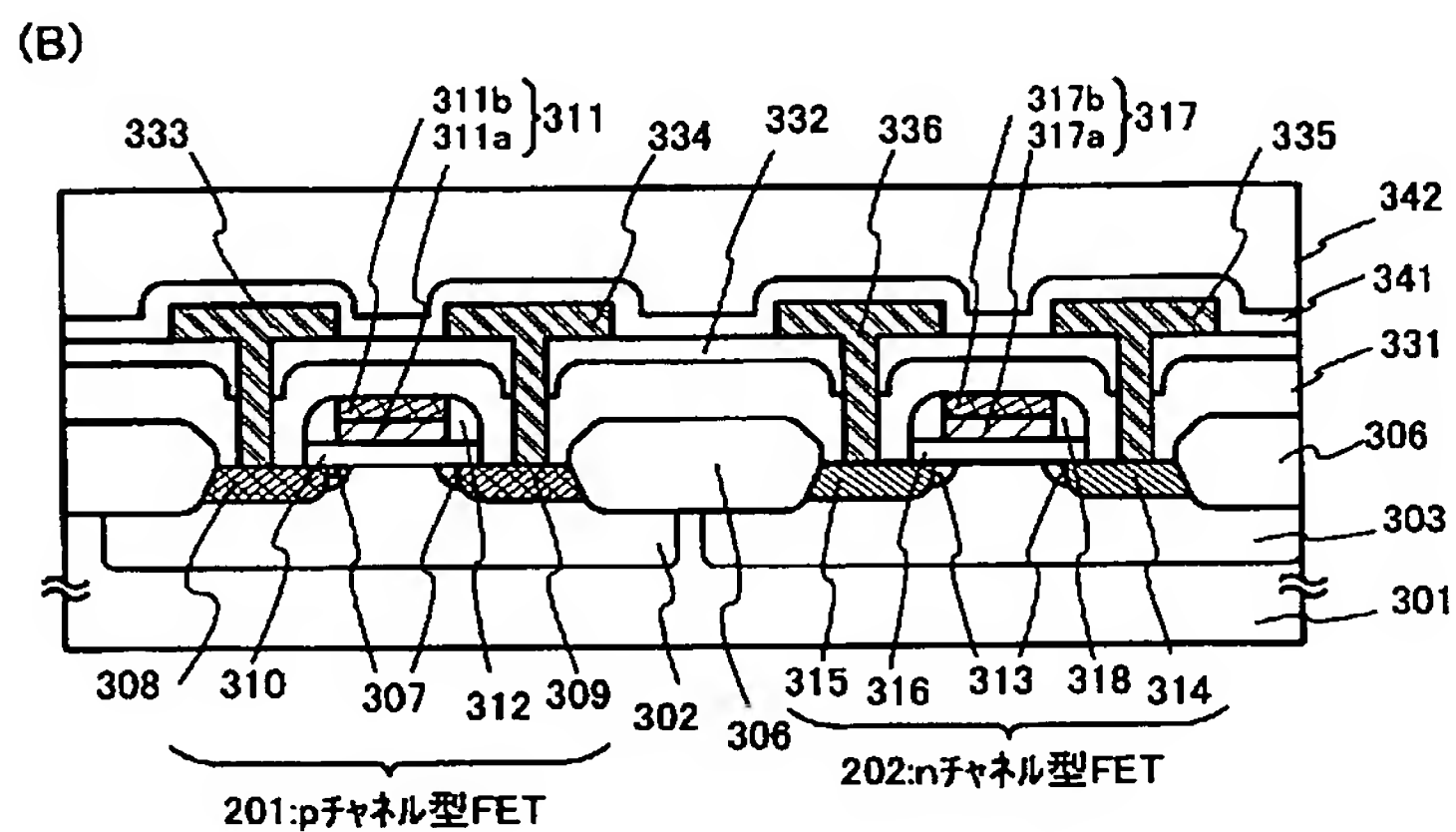
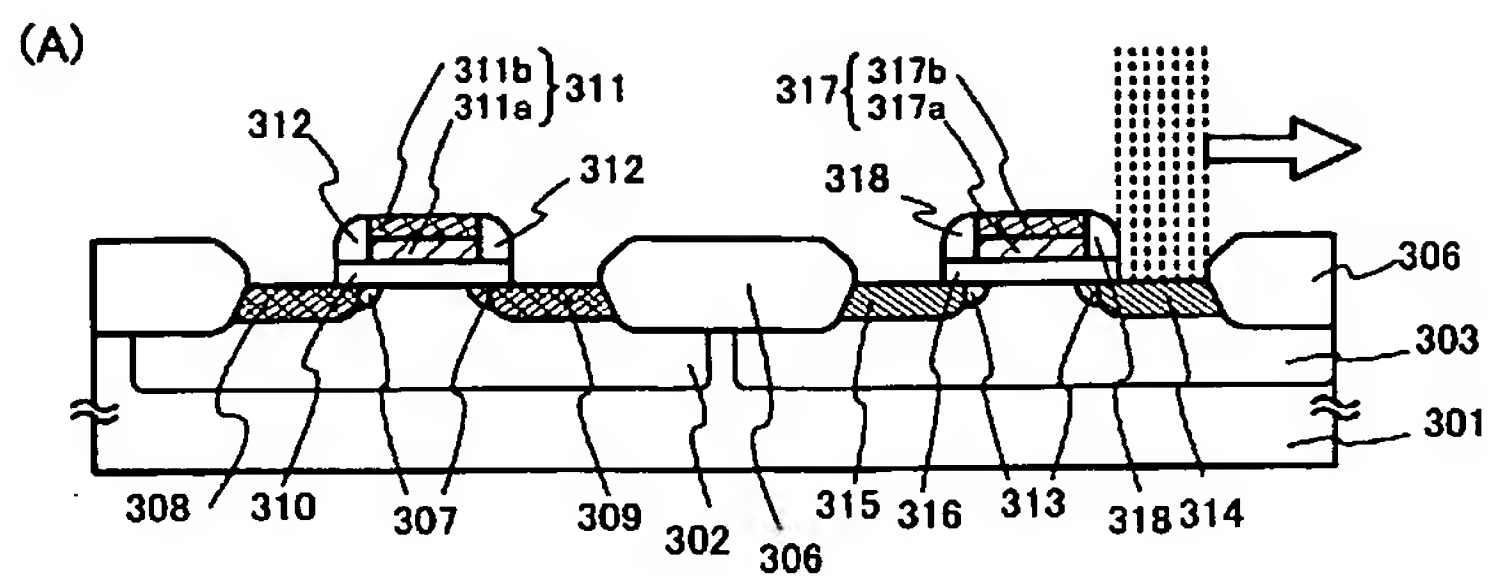


(a)



(b)

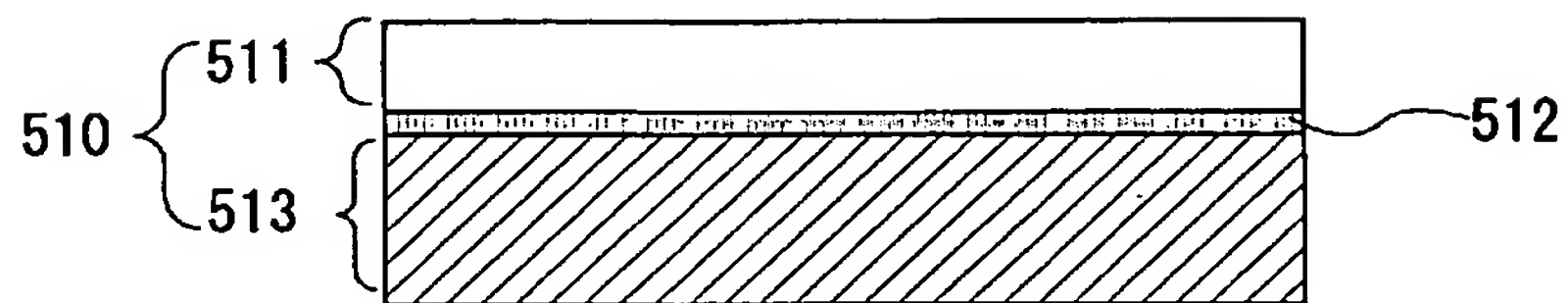




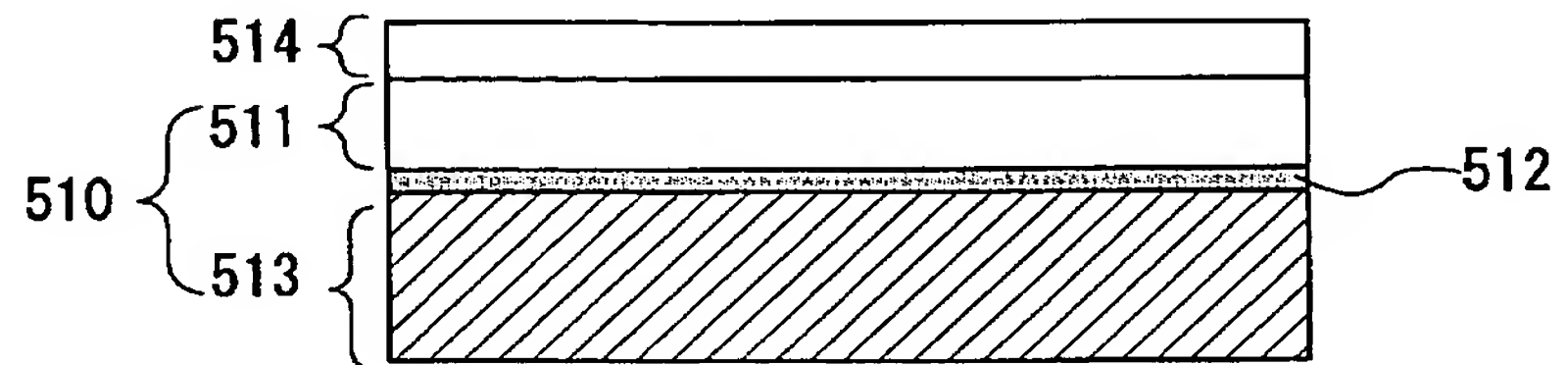
301:基板、302:n型ウェル、303:p型ウェル、306:フィールド酸化膜、  
 307:エクステンション領域、308:ソース領域(p)、309:ドレイン領域(p)、  
 313:エクステンション領域、314:ソース領域(n)、315:ドレイン領域(n)、310,316:ゲート絶縁膜、  
 311,317:ゲート電極、312,318:サイドウォール、331:第1層間絶縁膜、332:第2層間絶縁膜、  
 333,335:ソース電極、334,336:ドレイン電極、341:ハレーション膜、342:第3層間絶縁膜



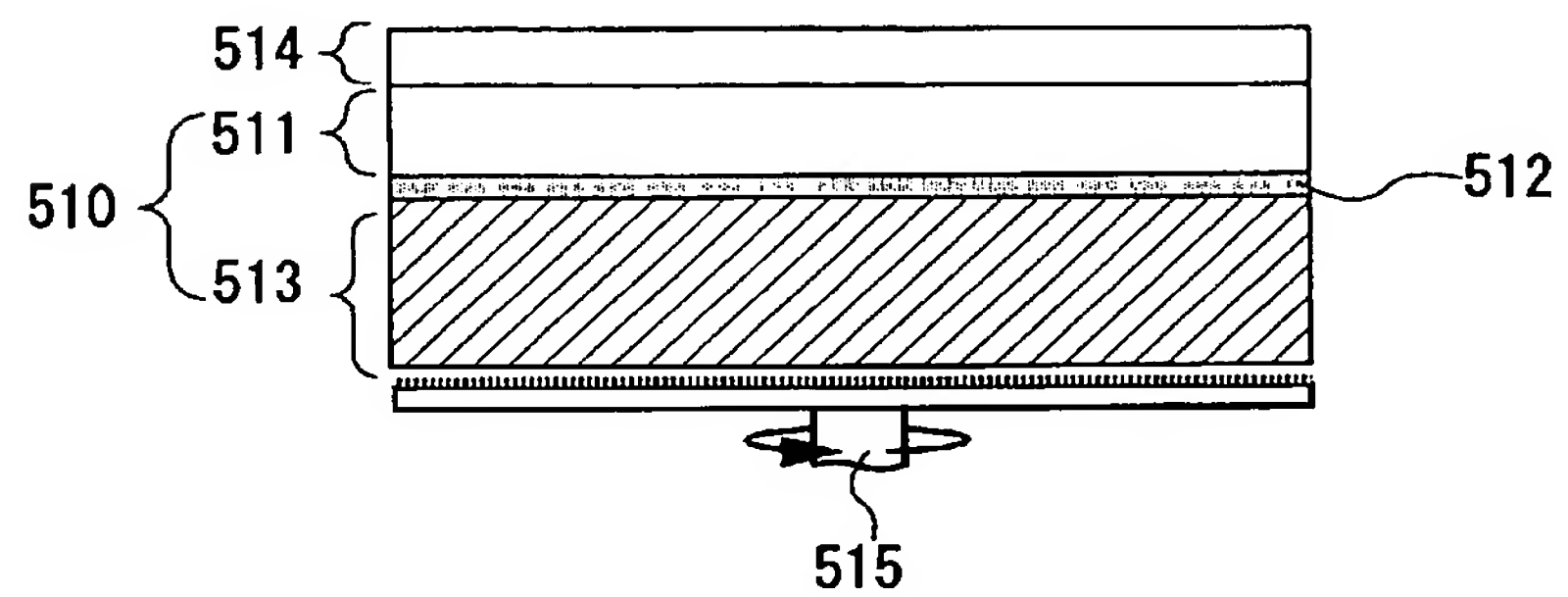
(A)



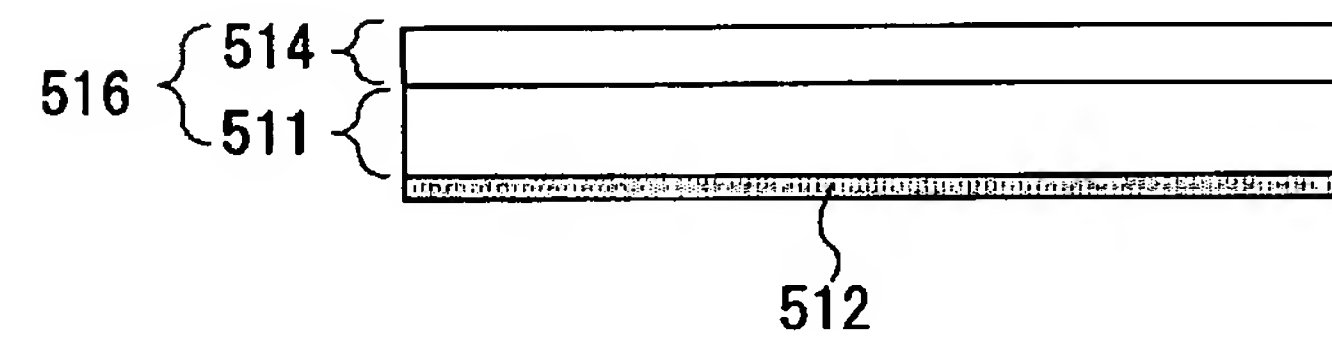
(B)

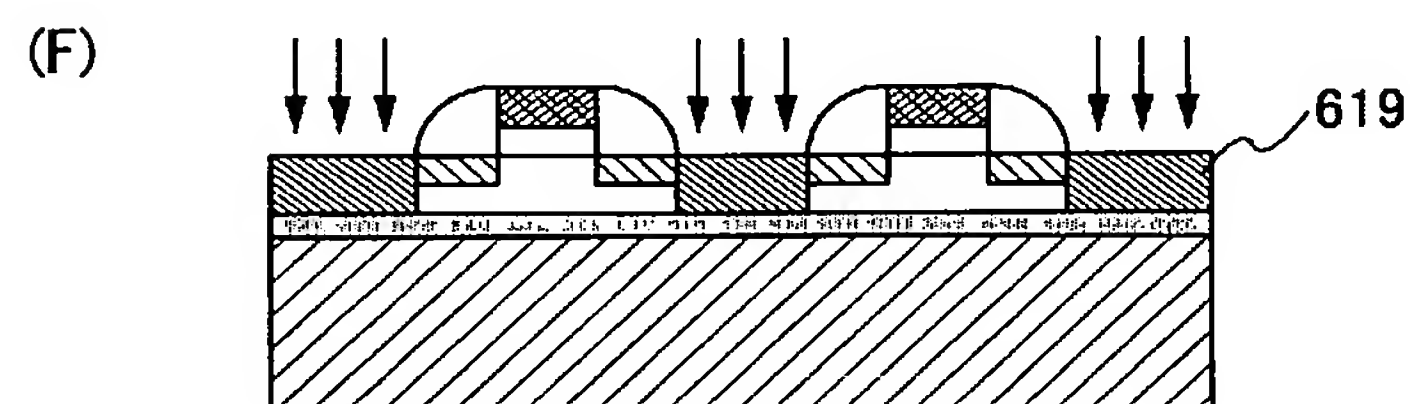
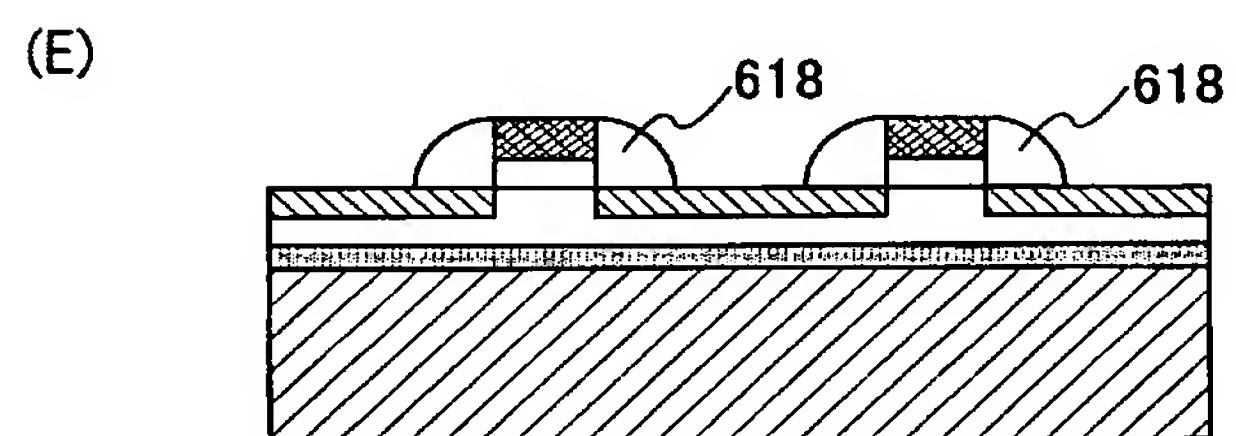
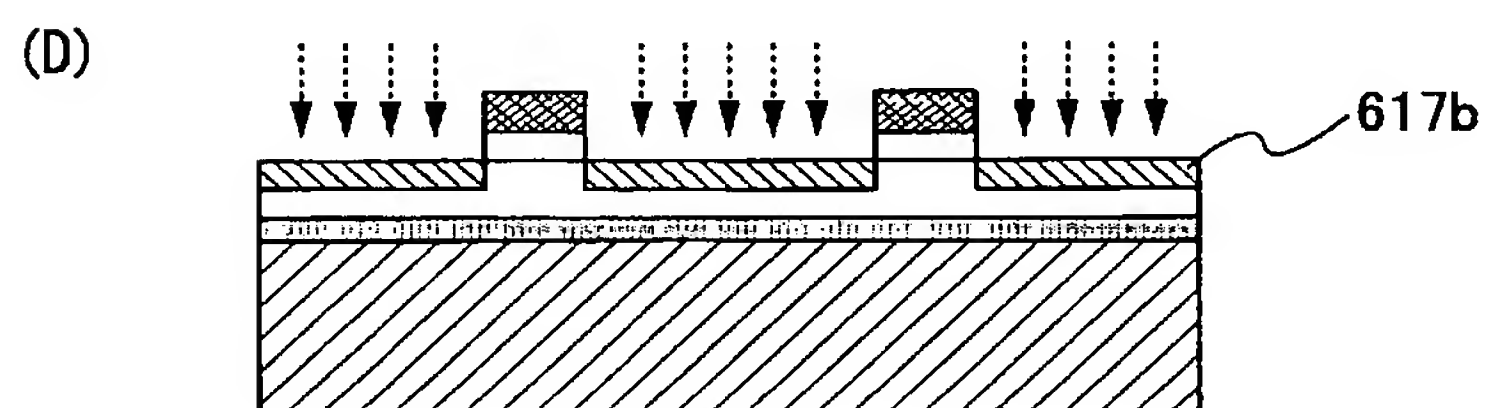
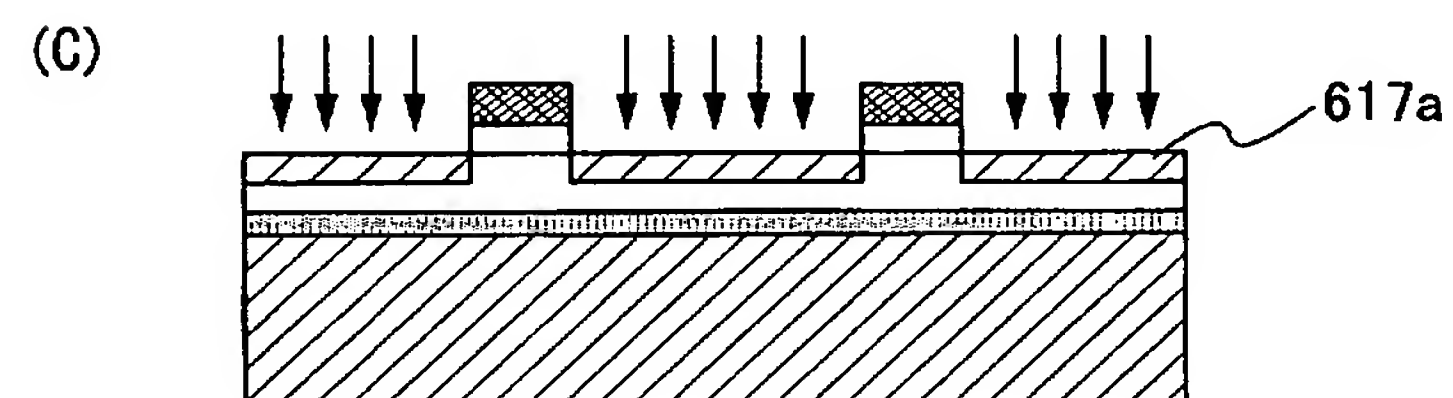
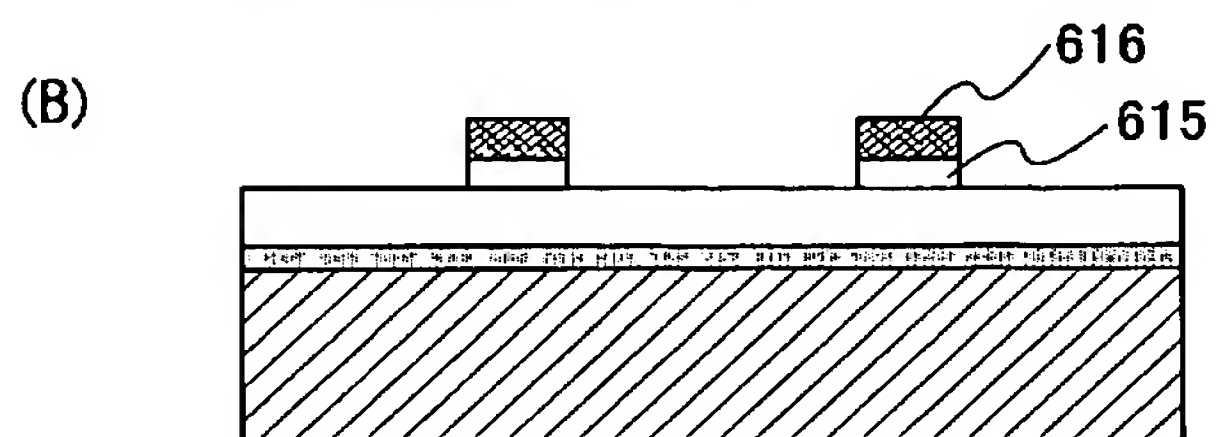
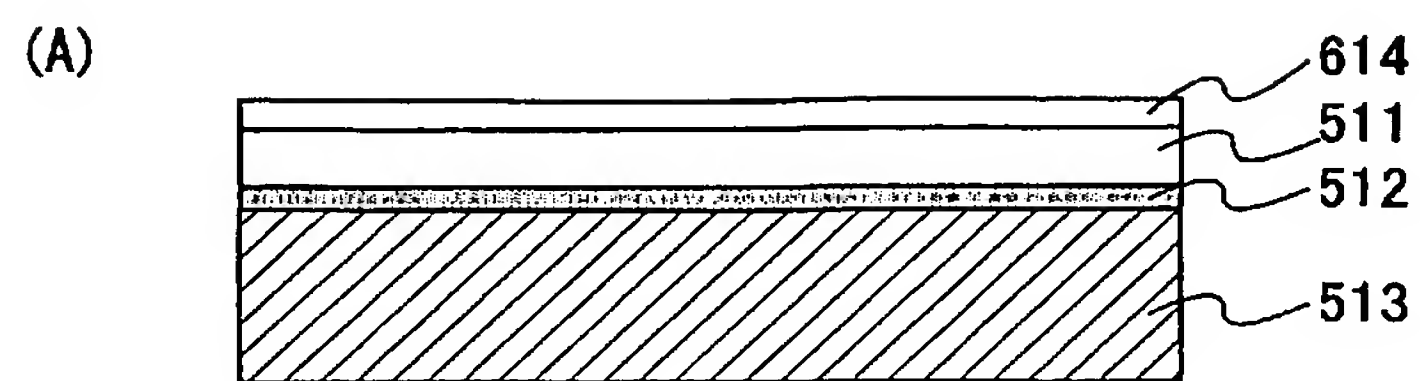


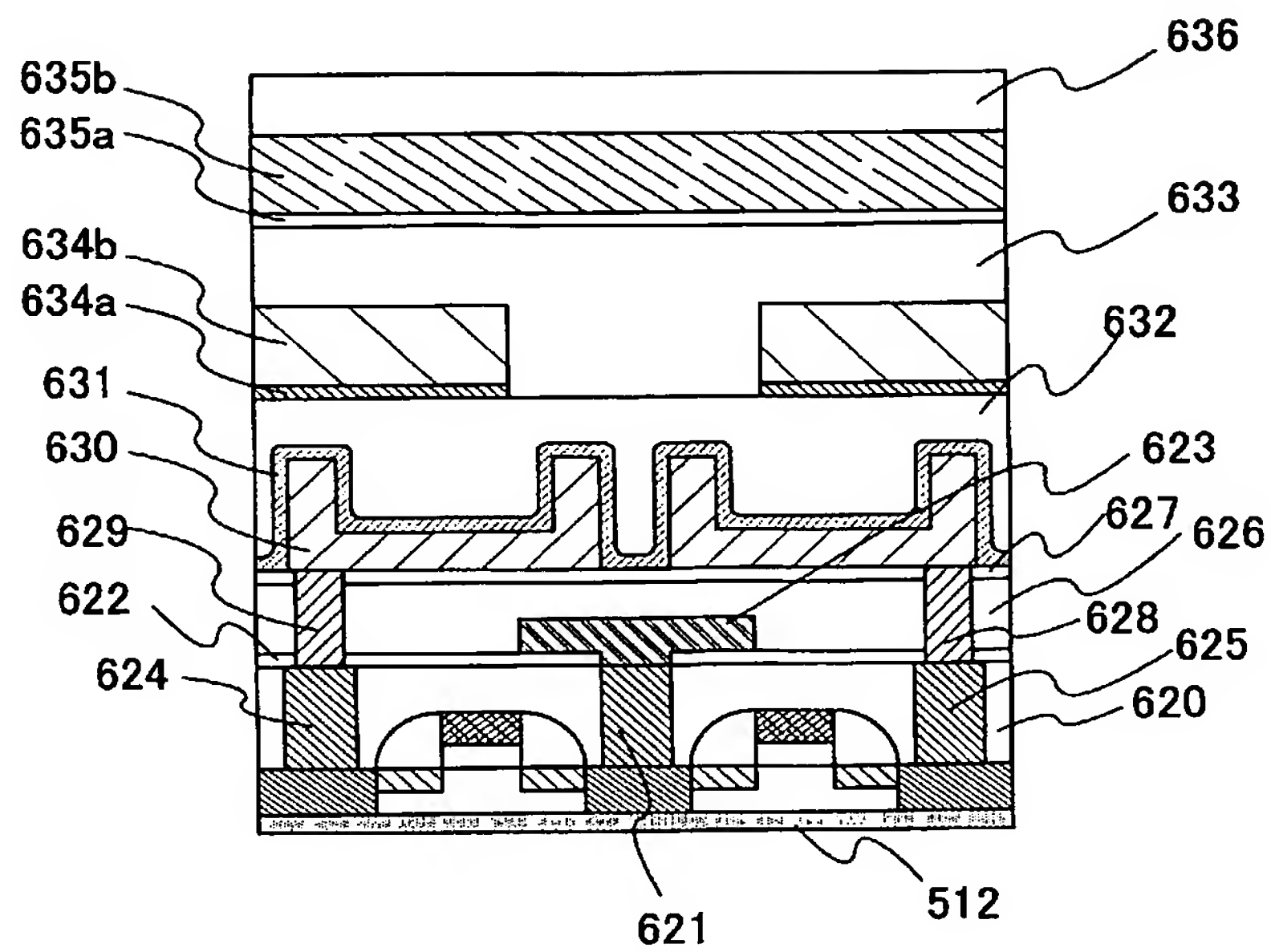
(C)



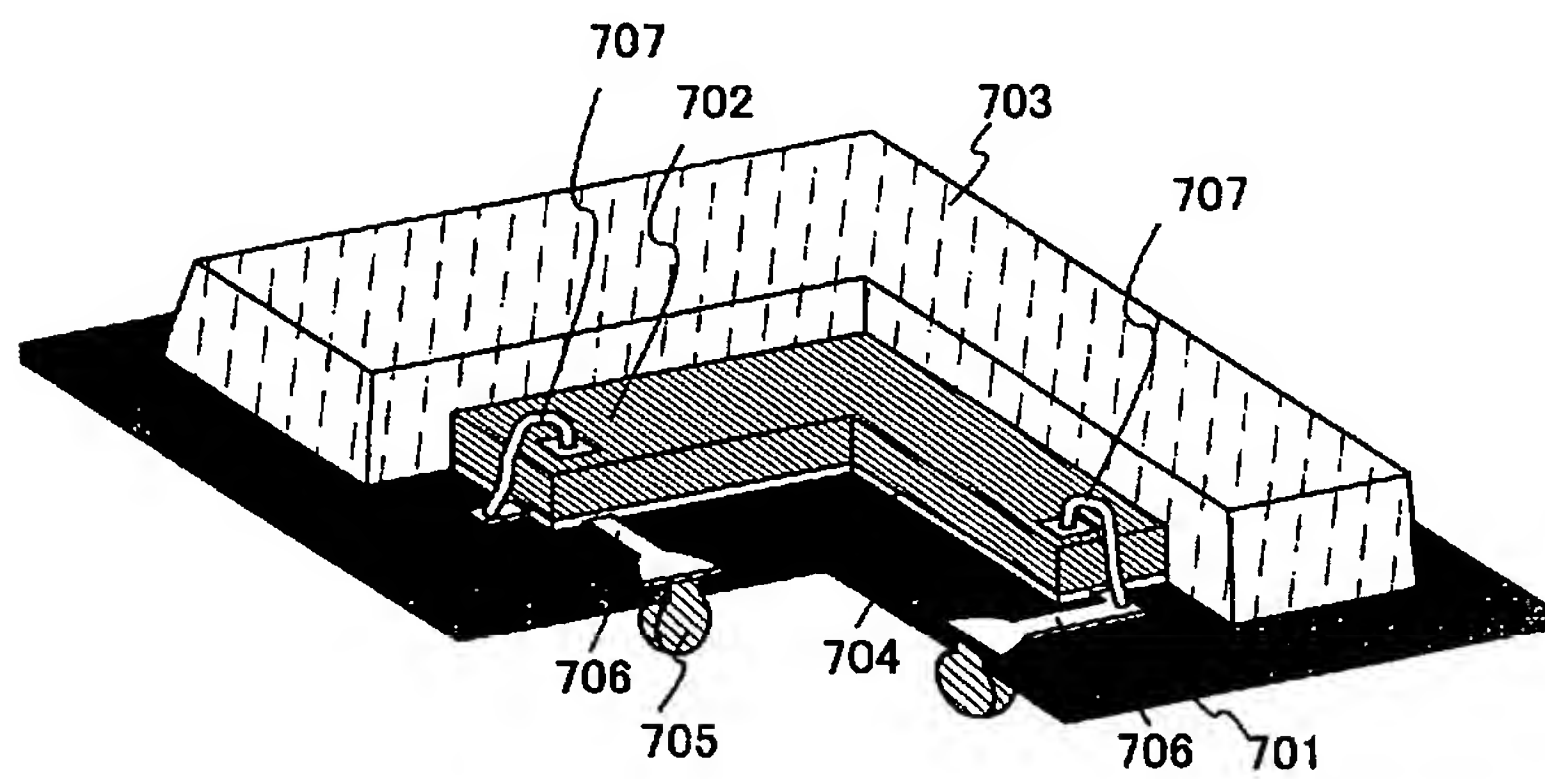
(D)



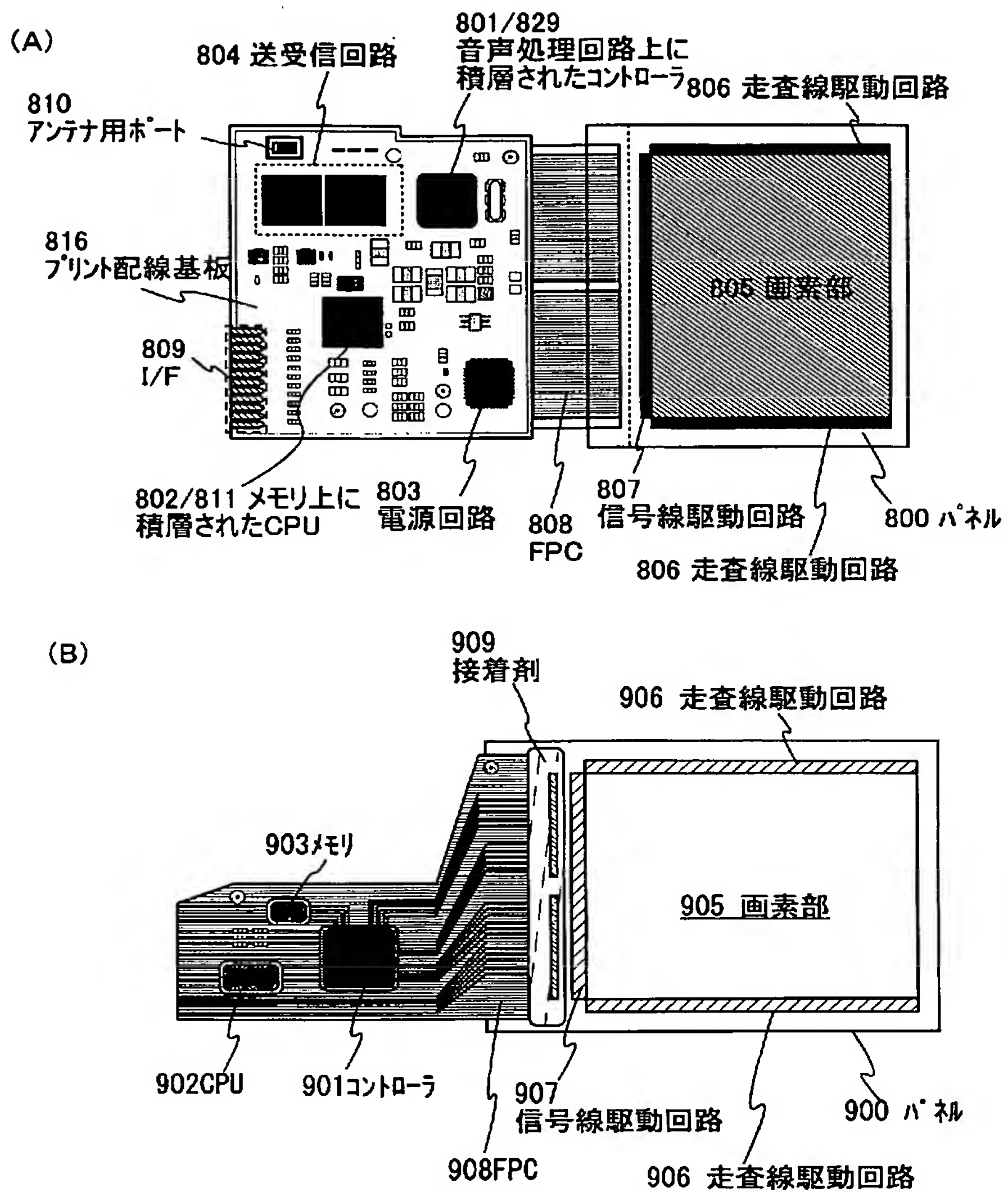




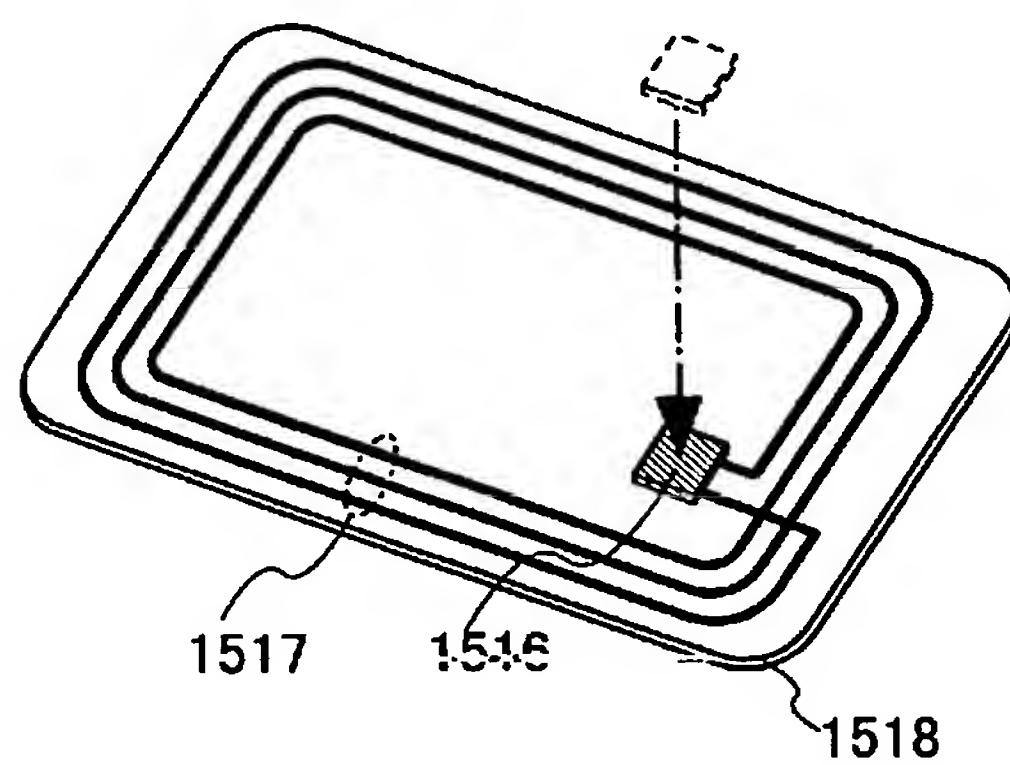
【 図 7 】



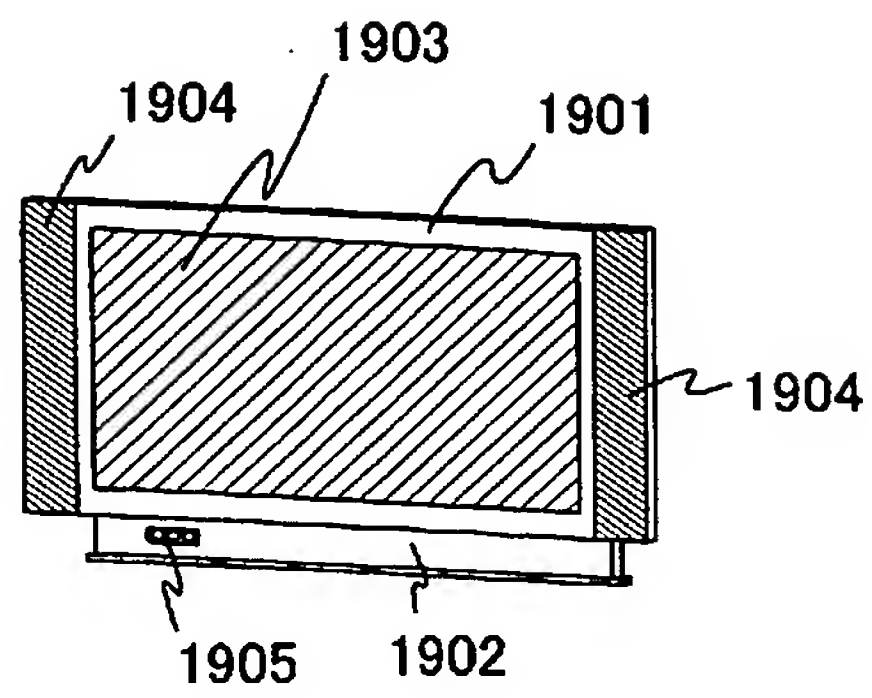




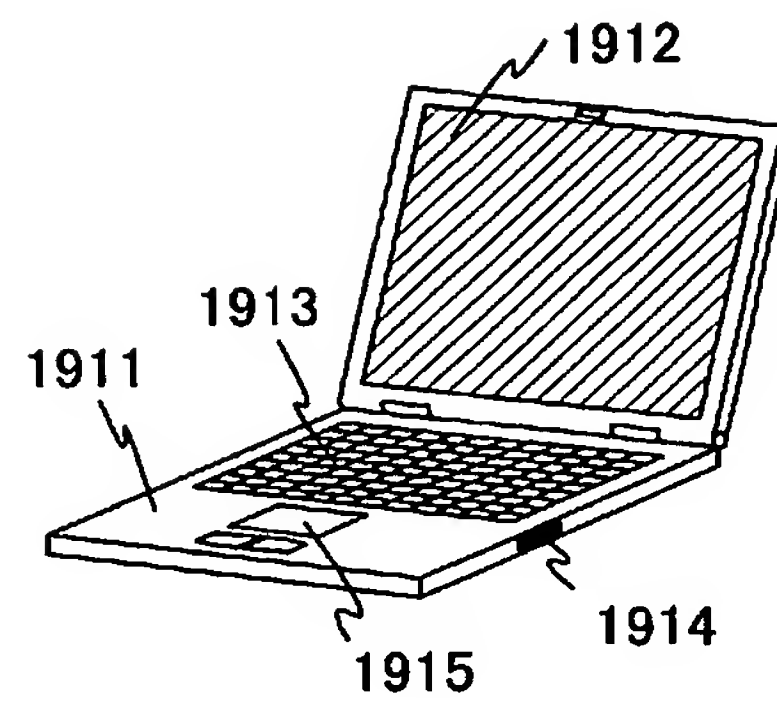
【図 9】



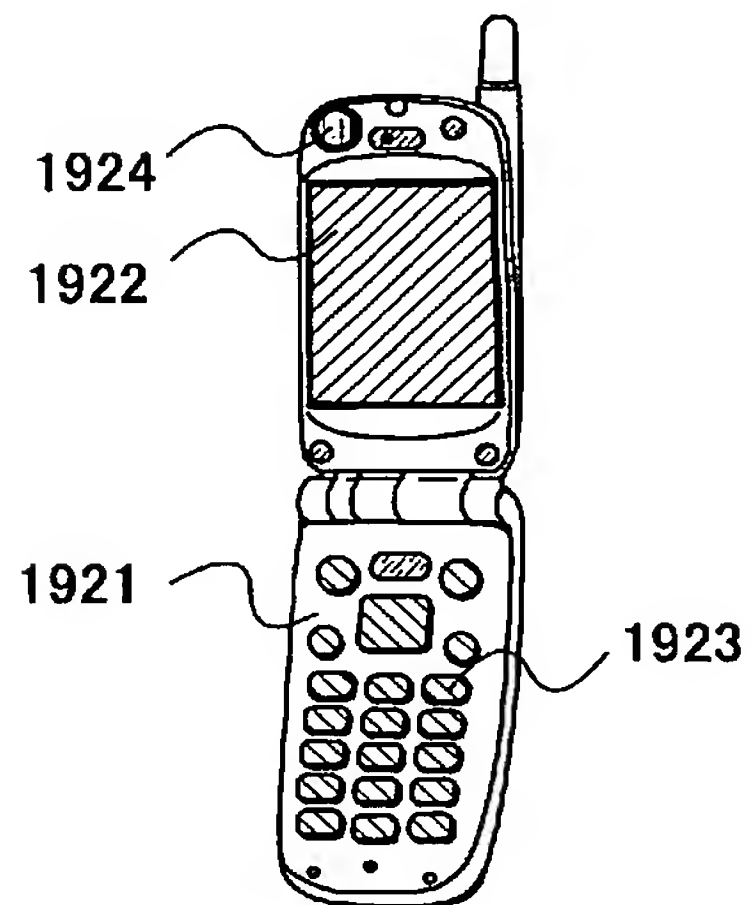
(A)



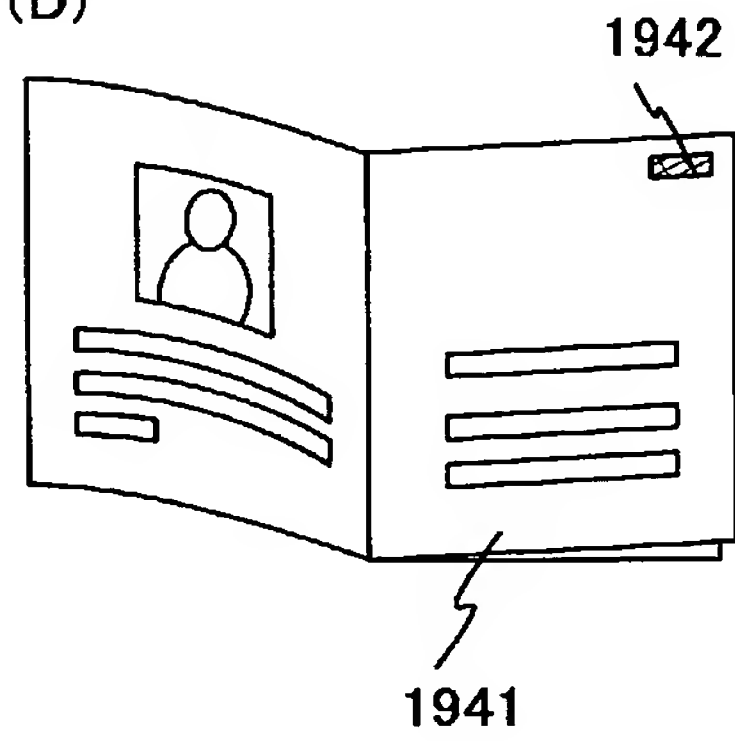
(B)



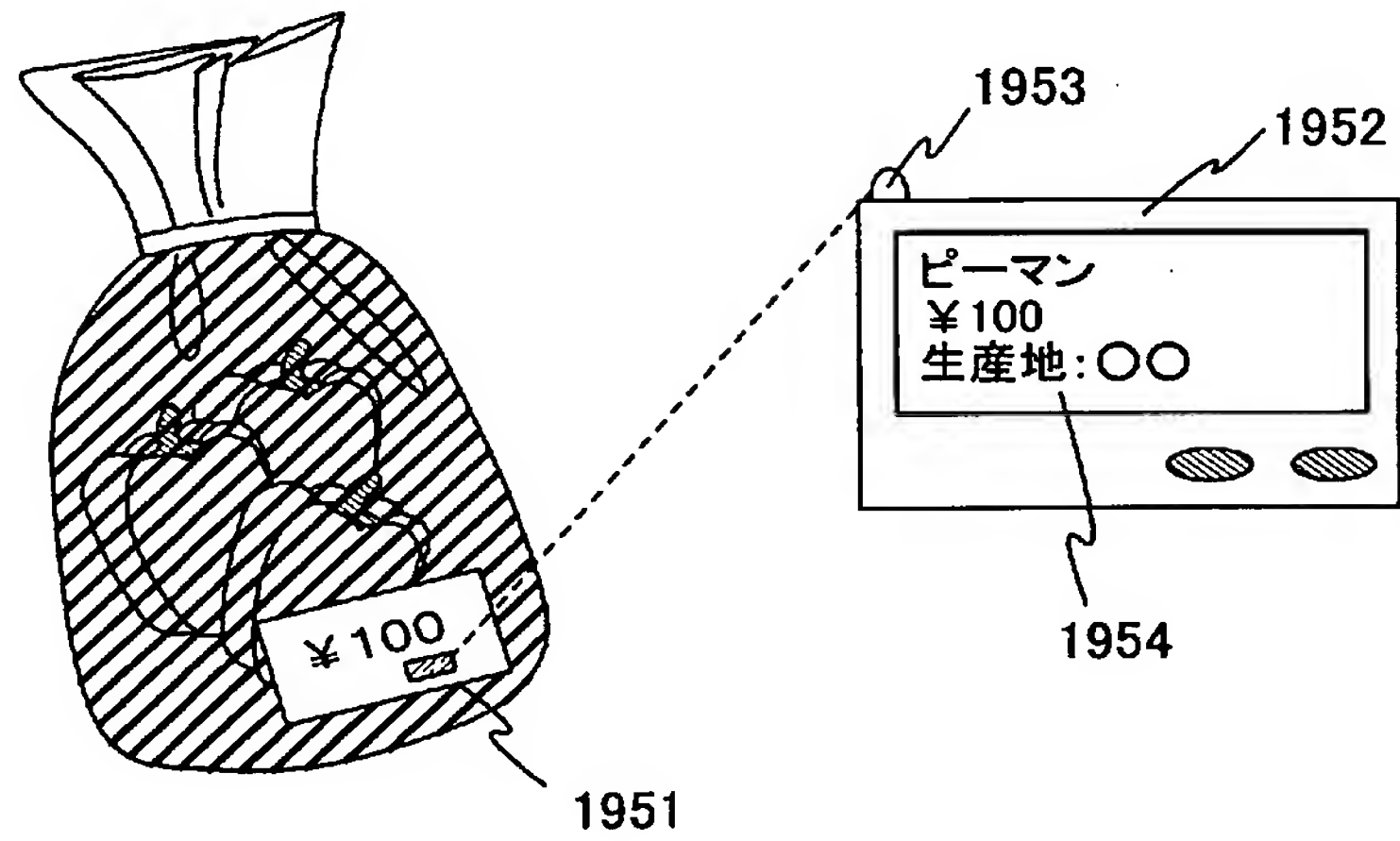
(C)



(D)



(E)



【要約】

【課題】 R T Aによるアニール法は、微細化に限界がある。R T Aによるアニール法は、加熱時間が数秒と長く、半導体基板全体が高温に加熱されるために不純物が半導体基板の深部へ拡散する恐れがあるため、今後のさらなる微細化に対応することが困難である。

【解決手段】 本発明は、レーザ光を非線形光学素子に通すことなく基本波のままとし、高強度、且つ、繰り返し周波数の高いパルスのレーザ光を不純物拡散層に照射してレーザアニールを行って不純物を電氣的に活性化させることを特徴とする。本発明により、シリコン基板表面の薄い層を局所的に溶かして活性化することができる。また、一度の走査で活性化される領域の幅を拡大することができるため、格段に生産性を向上させることができる。

【選択図】 図 1

000153878

19900817

新規登録

神奈川県厚木市長谷398番地

株式会社半導体エネルギー研究所



# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/021397

International filing date: 16 November 2005 (16.11.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-334190  
Filing date: 18 November 2004 (18.11.2004)

Date of receipt at the International Bureau: 22 December 2005 (22.12.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse